

情報工学実験 1
汎用ロジック IC による組み合わせ回路

035743A : 比嘉雅樹

実験日 : 2004/06/04
提出日 : 2004/06/11
共同実験者 : F グループ
035739B : 任家林
035741D : 浜川ありさ

1 実験の目的

組み合わせ回路の設計および実現を行うことによって、カルノー図などを用いた論理関数の簡単化に慣れるとともに、実際のコンピュータに使用されている演算器の設計法について習得する。

2 実験結果

2.1 半加算器、全加算器、2ビット加算器の真理値表を書き、それぞれの論理関数を求めよ。

表 1: 半加算器の真理値表

入力		出力	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

上記の真理値表より論理関数を求めると

$$S = A \cdot \bar{B} + \bar{A} \cdot B$$

$$C = A \cdot B$$

次に全加算器の真理値表を示す。

表 2: 全加算器の真理値表

入力			出力	
A	B	C	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

真理値表より論理関数を求めると

$$S = \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot C$$

$$C = \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} + A \cdot B \cdot C$$

次に、2ビット加算器の真理値表を示す。

表 3: 2ビット加算器の真理値表

入力				出力		
A_2	A_1	B_2	B_1	C	S_2	S_1
0	0	0	0	0	0	0
0	1	0	0	0	0	1
1	0	0	0	0	1	0
1	1	0	0	0	1	1
0	0	0	1	0	0	1
0	1	0	1	0	1	0
1	0	0	1	0	1	1
1	1	0	1	1	0	0
0	0	1	0	0	1	0
0	1	1	0	0	1	1
1	0	1	0	1	0	0
1	1	1	0	1	0	1
0	0	1	1	0	1	1
0	1	1	1	1	0	0
1	0	1	1	1	0	1
1	1	1	1	1	1	0

真理値表より論理関数を求めると

$$C = A_2 \cdot A_1 \cdot \bar{B}_2 \cdot B_1 + A_2 \cdot \bar{A}_1 \cdot B_2 \cdot \bar{B}_1 + A_2 \cdot A_1 \cdot B_2 \cdot \bar{B}_1 + \bar{A}_2 \cdot A_1 \cdot B_2 \cdot B_1 + A_2 \cdot \bar{A}_1 \cdot B_2 \cdot B_1 + A_2 \cdot A_1 \cdot B_2 \cdot B_1$$

$$S_2 = A_2 \cdot \bar{A}_1 \cdot \bar{B}_2 \cdot \bar{B}_1 + A_2 \cdot A_1 \cdot \bar{B}_2 \cdot \bar{B}_1 + \bar{A}_2 \cdot A_1 \cdot \bar{B}_2 \cdot B_1 + A_2 \cdot \bar{A}_1 \cdot \bar{B}_2 \cdot B_1 + \bar{A}_2 \cdot \bar{A}_1 \cdot B_2 \cdot \bar{B}_1 + \bar{A}_2 \cdot A_1 \cdot B_2 \cdot \bar{B}_1 + \bar{A}_2 \cdot \bar{A}_1 \cdot B_2 \cdot B_1 + A_2 \cdot A_1 \cdot B_2 \cdot B_1$$

$$S_1 = \bar{A}_2 \cdot A_1 \cdot \bar{B}_2 \cdot \bar{B}_1 + A_2 \cdot A_1 \cdot \bar{B}_2 \cdot \bar{B}_1 + \bar{A}_2 \cdot \bar{A}_1 \cdot \bar{B}_2 \cdot B_1 + A_2 \cdot \bar{A}_1 \cdot \bar{B}_2 \cdot B_1 + \bar{A}_2 \cdot A_1 \cdot B_2 \cdot \bar{B}_1 + A_2 \cdot A_1 \cdot B_2 \cdot \bar{B}_1 + \bar{A}_2 \cdot \bar{A}_1 \cdot B_2 \cdot B_1 + A_2 \cdot \bar{A}_1 \cdot B_2 \cdot B_1$$

2.2 (1) で作成した各真理値表を元にカルノー図を書き、簡単化された論理関数を求めよ。

● 半加算器

	A	0	1
B			
0			1
1	1		

$$S = A \cdot \bar{B} + \bar{A} \cdot B$$

図より、この論理関数はこれ以上簡単化できないのでそのまま。

図 1: 半加算器 S のカルノー図

	A	0	1
B			
0			
1			1

$$C = A \cdot B$$

図より、この論理式はこれ以上簡単化できないのでそのまま。

図 2: 半加算器 S のカルノー図

● 全加算器

	AB	00	01	11	10
C					
0			1		1
1	1			1	

$$S = \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot C$$

図より、この論理式はこれ以上簡単化できないのでそのまま。

図 3: 全加算器 S のカルノー図

	AB	00	01	11	10
C				1	
0				1	
1		1	1	1	

$$C = \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} + A \cdot B \cdot C$$

図より、上記の論理関数は下記のように簡単化することができる。

図 4: 全加算器 C のカルノー図

$$C = A \cdot B + B \cdot C + A \cdot C$$

● 2ビット加算器

	B A	00	01	11	10
00			1	1	
01		1			1
11		1			1
10			1	1	

図 5: 2ビット加算器 S_1 のカルノー図

$$S_1 = \bar{A}_2 \cdot A_1 \cdot \bar{B}_2 \cdot \bar{B}_1 + A_2 \cdot A_1 \cdot \bar{B}_2 \cdot \bar{B}_1 + \bar{A}_2 \cdot \bar{A}_1 \cdot \bar{B}_2 \cdot B_1 + A_2 \cdot \bar{A}_1 \cdot \bar{B}_2 \cdot B_1 + \bar{A}_2 \cdot A_1 \cdot B_2 \cdot \bar{B}_1 + A_2 \cdot A_1 \cdot B_2 \cdot \bar{B}_1 + \bar{A}_2 \cdot \bar{A}_1 \cdot B_2 \cdot B_1 + A_2 \cdot \bar{A}_1 \cdot B_2 \cdot B_1$$

図より、この論理式を下記のように簡単化できる。

$$S_1 = A_1 \cdot \bar{B}_1 + \bar{A}_1 \cdot B$$

	B A	00	01	11	10
00				1	1
01			1		1
11		1		1	
10		1	1		

図 6: 2ビット加算器 S_2 のカルノー図

$$S_2 = A_2 \cdot \bar{A}_1 \cdot \bar{B}_2 \cdot \bar{B}_1 + A_2 \cdot A_1 \cdot \bar{B}_2 \cdot \bar{B}_1 + \bar{A}_2 \cdot \bar{A}_1 \cdot \bar{B}_2 \cdot B_1 + A_2 \cdot \bar{A}_1 \cdot \bar{B}_2 \cdot B_1 + \bar{A}_2 \cdot \bar{A}_1 \cdot B_2 \cdot \bar{B}_1 + \bar{A}_2 \cdot A_1 \cdot B_2 \cdot \bar{B}_1 + \bar{A}_2 \cdot \bar{A}_1 \cdot B_2 \cdot B_1 + A_2 \cdot A_1 \cdot B_2 \cdot B_1$$

図より、この論理式を下記のように簡単化できる。

$$S_2 = \bar{A}_2 \cdot \bar{A}_1 \cdot B_2 + \bar{A}_2 \cdot B_2 \cdot \bar{B}_1 + A_2 \cdot \bar{A}_1 \cdot \bar{B}_2 + A_2 \cdot \bar{B}_2 \cdot \bar{B}_1 + \bar{A}_2 \cdot A_1 \cdot \bar{B}_2 \cdot B_1 + A_2 \cdot A_1 \cdot B_2 \cdot B_1$$

B \ A	00	01	11	10
00				
01			1	
11		1	1	1
10			1	1

図 7: 2ビット加算器 C のカルノー図

$$C = A_2 \cdot A_1 \cdot \bar{B}_2 \cdot B_1 + A_2 \cdot \bar{A}_1 \cdot B_2 \cdot \bar{B}_1 + A_2 \cdot A_1 \cdot B_2 \cdot B_1 + \bar{A}_2 \cdot A_1 \cdot B_2 \cdot B_1 + A_2 \cdot \bar{A}_1 \cdot B_2 \cdot B_1 + A_2 \cdot A_1 \cdot B_2 \cdot B_1$$

図より、この論理式を下記のように簡単化できる。

$$C = A_2 \cdot B_2 + A_1 \cdot B_2 \cdot B_1 + A_2 \cdot A_1 \cdot B_1$$

2.3 実験(1)及び(2)で得られた論理関数を比較し、実験(2)で得られた論理関数が簡単化されていることを確認せよ。

- 半加算器

半加算器の場合、出力 S、C の両方とも元からこれ以上簡単化することができないので変化はない。

- 全加算器

全加算器の場合、出力 S は元からこれ以上簡単化できない形になっているが、出力 C は簡単化する前と後とを比べてかなり簡単な式となっていることが分かる。

- 2ビット加算器

2ビット加算器の場合、どの出力に注目しても簡単化する前と後とを比べるとかなり簡単な形となっていることが分かる。特に出力 S_1 にいたっては、XOR ゲート回路だけで表せることが分かった。

2.4 実験(2)で得られた論理関数から、半加算器、全加算器、2ビット加算器の回路図を書け。

- 半加算器

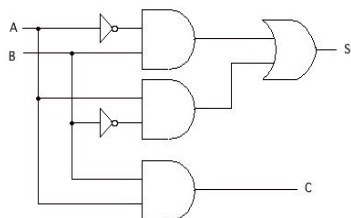


図 8: 半加算器の回路図

- 全加算器

まず、回路図を書く前に出力 S の式を下記のようにまとめる。

$$\begin{aligned}
 S &= \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C} \\
 &= (\bar{A} + B) \cdot C + B \cdot (\bar{A} + \bar{C}) + A \cdot (\bar{B} + \bar{C}) + A \cdot B \cdot C
 \end{aligned}$$

これをもとに回路図を書くと下図のようになる。

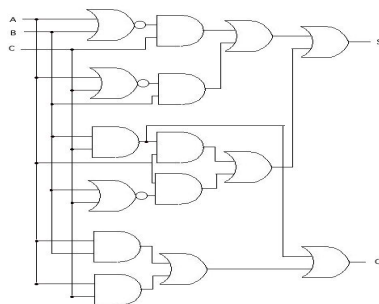


図 9: 全加算器の回路図

- 2ビット加算器

2ビット加算器の回路図は複雑なので、ここでは S_1 のみの回路図を示す。



図 10: 2ビット加算器 S_1 の回路図

2.5 実験(4)で書いた回路図をもとにして、ブレッドボード上に半加算器、全加算器を実現し、その動作を確認せよ。

実験(4)で作った回路図どおりにブレッドボード上に設計し、半加算器、全加算器ともに動作を確認した。

3 報告事項

3.1 加算器以外の実用的な組み合わせ回路を3つ挙げ、それらの真理値表と回路図を示せ。また、それらの動作や特徴について述べよ。

- 半減算器

半減算器とは、半加算器とは逆に1ビットの2進数を減算する回路で、半減算器は演算の際上位からの桁かりを考慮しない。演算結果(D)と上位からの桁かり(B_o)の2つを出力する。

表 4: 半減算器の真理値表

入力		出力	
A	B	D	B_o
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

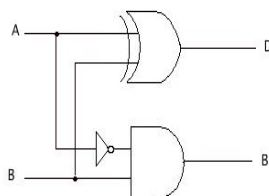


図 11: 半減算器の回路図

- 全減算器

半減算器と違い、上位からの桁かり (B_{in}) を考慮した減算を行う回路。

表 5: 全減算器の真理値表

入力			出力	
A	B	B_{in}	D	B_o
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

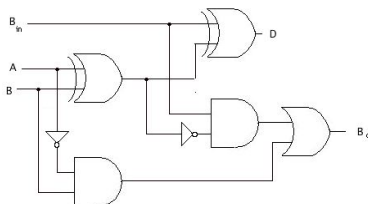


図 12: 全減算器の回路図

- マルチプレクサ

分割入力された信号を1つにまとめて出力する電気回路。

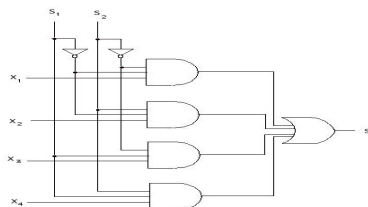


図 13: マルチプレクサの回路図

表 6: マルチプレクサの真理値表

S_1	S_2	Y
0	0	X_1
0	1	X_2
1	0	X_3
1	1	X_4

3.2 キャリールックアヘッド方式の加算器とは、どのような加算器か調査し報告せよ。

キャリールックアヘッド方式の加算器は、桁上げ先見加算器ともいい、桁上げの信号を先に見越して計算する回路である。桁上げ信号には次の性質がある。

- ・桁上げ信号は0か1である。
- ・桁上げ信号は、注目している桁よりも上位ビットの入力には無関係。
- ・2つの入力が0と0だった場合、その桁から上がる桁上げ信号は、その桁の下位から上がってくる桁上げ信号に関係なく0になる。
- ・2つの入力が0と1だった場合、その桁から上がる桁上げ信号は、その桁に下位から上がってくる桁上げ信号に等しい。
- ・2つの入力が1と1だった場合、その桁から上がる桁上げ信号は、その桁に下位から上がってくる桁上げに関わらず1である。

このような性質で状態を判断して加算を高速化する。

3.3 順序回路は、同期式と非同期式とに大別される。両者の違いを調査せよ。

順序回路は内部に記憶回路を含んでいるので、信号変化のタイミングに気を配る必要がある。タイミングをとる為に、順序回路を外部のクロックに同期して動作させる順序回路を同期式順序回路という。一方、クロックに同期させずに順序回路の出力の値が決定する度に、動作の終了を外部に知らせることによりタイミングをとる順序回路を非同期式順序回路と呼ぶ。非同期式順

序回路は、同期式のものより処理速度を速くできるが、組織的な設計法が確立されていないため、同期式順序回路の設計が行われることが多い。また、非同期式と違い、クロックのタイミングのみに気を配れば良いので、同期式順序回路の方が設計が容易である。

3.4 D フリップフロップ及び、(同期式) カウンタとはどのような回路か調査せよ。

- D フリップフロップ

D フリップフロップはクロック信号が1の間はデータが入力されている端子の値をそのまま出力し、クロック信号が0の間は前回の出力を保持する性質をもっている。D フリップフロップは、入力の値を次にクロックが1になるまで保持したり、パルス幅だけ時間遅延させたりできる。

- カウンタ

カウンタとは、入力されたクロックパルスの数を数えて、その数を2進数で出力する回路でT フリップフロップを使えば簡単に実現できる。

3.5 本実験について考察せよ。

- まず先に、カウンタの所で述べた T フリップフロップについて軽く述べ、実際に T フリップフロップを用いた3ビット8進カウンタの構成方法を示す。

T フリップフロップとは、クロック信号が加わると保持していた信号を反転させるフリップフロップである。

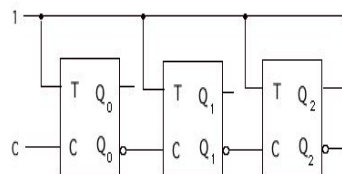


図 14: 3 ビット 8 進カウンタの回路図

表 7: 8進カウンタの内部状態表

現在の状態			次の状態		
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

- 次に、全加算器の論理関数について考察したい。

実験 (2) から得られた全加算器の論理関数をもっと簡単な関数になるよう式を変形したい。

カルノー図を用いてはこれ以上簡単にはできないので、ブール代数の公式を使い簡単にしてみようと思う。

$$\begin{aligned}
 S &= \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C} \\
 &= \bar{B} \cdot (\bar{A} \cdot C + A \cdot \bar{C}) + B \cdot (\bar{A} \cdot \bar{C} + A \cdot C) \\
 &= \bar{B} \cdot (A \oplus C) + B \cdot (\overline{A \oplus C}) \\
 &= B \oplus (A \oplus C)
 \end{aligned}$$

$$\begin{aligned}
 C &= A \cdot B + B \cdot C + A \cdot C \\
 &= A \cdot B + C \cdot (A + B)
 \end{aligned}$$

というように上記の式になった。これを用いて全加算器の回路図を書くと、下図のようになる。

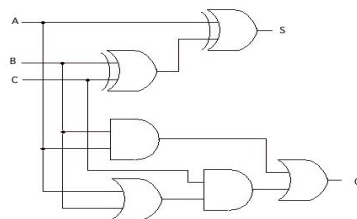


図 15: 全加算器の回路図

これにより、論理関数はカルノー図で簡単化を行い、さらにブール代数の公式等を用いることでより簡単な式になり回路設計もしやすくなることを確認した。

4 使用器具

- 直流電源 : B-E、226
- NOT ゲート : 4069UB
- OR ゲート : 4071B
- AND ゲート : 4081B
- NOR ゲート : 4001B
- XOR ゲート : 4030B

参考文献

- [1] 論理回路と計算機ハードウェア pp.68,51 : 著「原田 豊」 丸善株式会社
- [2] <http://www.nifty.com/webapp/digitalword/word/003/00396.htm>
- [3] <http://www.ie.u-ryukyu.ac.jp/%7Ewada/lecture.html>