

情報工学実験 1
汎用ロジック IC によるカウンタの実現

035743A : 比嘉雅樹

実験日 : 2004/06/11
提出日 : 2004/06/18
共同実験者 : F グループ
035739B : 任家林
035741D : 浜川ありさ

1 実験の目的

カウンタを汎用ロジック IC を用いて実現することにより、フリップフロップ (FF) の特性を理解するとともに、カウンタの動作原理および同期式順序回路の設計手順を習得する。

2 実験結果

2.1 7進同期式カウンタの状態遷移表を書け。

表 1: 7進同期式カウンタの状態推移表

現在の値	次の値
0 0 0	0 0 1
0 0 1	0 1 0
0 1 0	0 1 1
0 1 1	1 0 0
1 0 0	1 0 1
1 0 1	1 1 0
1 1 0	0 0 0
1 1 1	* * *

2.2 7進同期式カウンタの状態推移関数を求めよ。

2.1での推移表より論理関数を求め、カルノー図で簡単化できるものは簡単化する。

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	1			1
1	1	*		

図 1: Q'_0 のカルノー図

$$Q'_0 = \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0} + \overline{Q_2} \cdot Q_1 \cdot \overline{Q_0} + Q_2 \cdot \overline{Q_1} \cdot \overline{Q_0}$$

図より、この論理式を簡単化すると

$$Q'_0 = \overline{Q_1} \cdot \overline{Q_0} + \overline{Q_2} \cdot \overline{Q_0}$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0		1		1
1		1	*	

図 2: Q'_1 のカルノー図

$$Q'_1 = \overline{Q_2} \cdot \overline{Q_1} \cdot Q_0 + \overline{Q_2} \cdot Q_1 \cdot \overline{Q_0} + Q_2 \cdot \overline{Q_1} \cdot Q_0$$

図より、この論理式を簡単化すると

$$Q'_1 = \overline{Q_1} \cdot Q_0 + \overline{Q_2} \cdot Q_1 \cdot \overline{Q_0}$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0			1	
1	1	1	*	

図 3: Q'_2 のカルノー図

$$Q'_2 = \overline{Q_2} \cdot Q_1 \cdot Q_0 + Q_2 \cdot \overline{Q_1} \cdot \overline{Q_0} + Q_2 \cdot \overline{Q_1} \cdot Q_0 + Q_2 \cdot Q_1 \cdot Q_0$$

図より、この論理式を簡単化すると

$$Q'_2 = Q_1 \cdot Q_0 + Q_2 \cdot \overline{Q_1}$$

2.3 求めた状態推移関数をもとに、D-FF を用いた場合の回路図を描け。

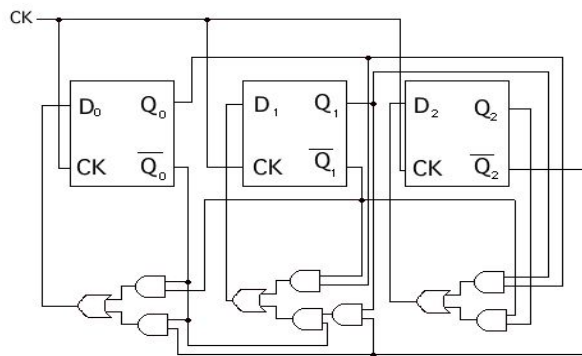


図 4: 7進同期式カウンタの回路図

2.4 回路をブレッドボード上に実現し、動作を確認せよ。

2.3 で描いた回路図をもとに、ブレッドボード情に実現した。その回路で CK, Q_0, Q_1, Q_2 の4つの状態遷移の波形をオシロスコープを用いて観測した結果、下図に示すような波形が得られた。

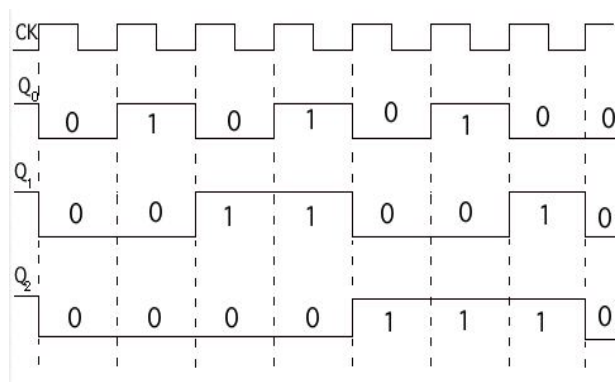


図 5: オシロスコープに出力された波形

3 報告事項

3.1 ジョンソンカウンタについて調査せよ。

ジョンソンカウンタとは、0 または 1 が時間と共に左から右に拡大して埋められて行き、すべて同じ記号でレジスタ内が埋められたら、今度は反対の記号を左から順次拡大して埋めて行く回路である。下図に JK-FF を使用した 8 進ジョンソンカウンタを示す。

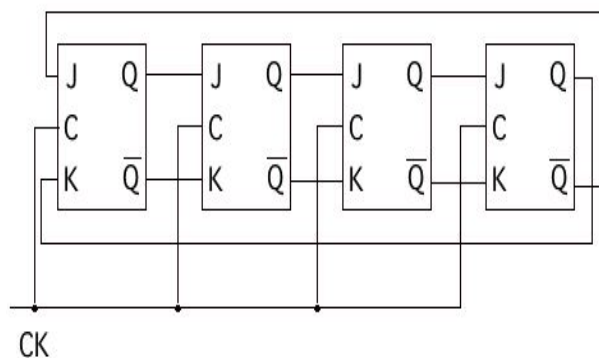


図 6: 8 進ジョンソンカウンタ

図6に示した回路を実際に動かしてみると、次の表のような動きをする。

表 2: 8進ジョンソンカウンタの動作

10進数	ジョンソンカウンタ
0	0000
1	1000
2	1100
3	1110
4	1111
5	0111
6	0011
7	0001

この他のジョンソンカウンタの特徴としては、次のようなものがある。

- N進ジョンソンカウンタは $\frac{2}{N}$ 個の FF で構成できる。
- 1度誤った状態に入ると、正常な状態に戻らなくなる。

3.2 JK-FF を用いて順序回路を設計する方法について調査せよ。また、その方法に基づいて、4進同期式カウンタを JK-FF を用いて設計し、その回路図を示せ。

先に、JK-FF について説明する。

JK-FF は RS-FF と T-FF の両方の性質を持つ FF で、RS-FF での S が J に、K が R に対応する。RS-FF では $S=R=1$ の時次の状態を定義しなかったが、JK-FF ではこのときに T-FF の動作（保持データの反転）を行う。この T-FF の動作を行う特徴を利用して、4進同期式カウンタを実現したい。まず、4進同期式カウンタを作成するために、状態遷移表を示す。

表 3: 4進同期式カウンタの状態推移表

現状態 Q_1Q_0	次状態 Q'_1, Q'_0		出力 Y	
	入力 X		入力 X	
	0	1	0	1
00	00	01	0	0
01	01	10	0	0
10	10	11	0	0
11	11	00	0	1

状態推移表より $Y = X \cdot Q_1 \cdot Q_0$

カウンタ回路は、T-FF を使えば簡単に実現ができるので T-FF で 4 進同期式カウンタを実現してみると図 7 のようになる。さらに、T-FF と JK-FF での共通した特徴 ($J=K=1$ で保持データの反転を行う) に着目して、T-FF を JK-FF で表すと、図 8 のようになる。図 7、図 8 より、JK-FF を用いた

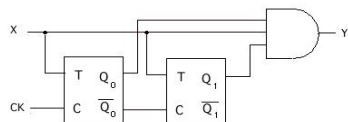


図 7: T-FF を用いた 4 進同期式カウンタ

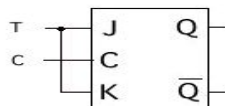


図 8: JK-FF を使用した T-FF

4 進同期式カウンタは図 9 のようになる。

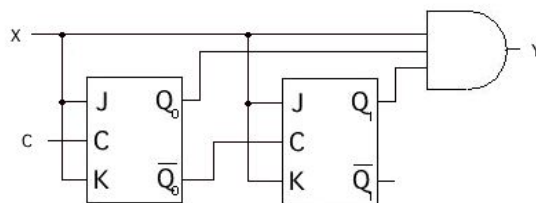


図 9: JK-FF を用いた 4 進同期式カウンタ

3.3 実際のデジタル回路のほとんどは、同期式順序回路である。この理由について考察せよ。

順序回路で、一般に回路の状態がクロックパルスに同期して変化する順序回路を同期式順序回路といい、クロックパルスを用いない順序回路を非同期式順序回路という。

非同期式の順序回路は、同期式のものより処理速度を速くできるが、組織的な設計法が確立されていない。また、同期式は非同期式と違い、クロックのタイミングにのみ気を配ればいいので、同期式順序回路の方が設計が容易である。このような理由から実際のデジタル回路のほとんどは同期式順序回路がよく用いられると考えられる。

3.4 実際のデジタル回路においてよく用いられる順序回路に、(メモリ)レジスタやシフトレジスタがある。これらの回路について調査せよ。

- (メモリ) レジスタ
1個のフリップフロップは、1ビットの2進データを記憶することができる、これをn個用いることによりnビットの2進データを記憶できる回路をシフトレジスタ、あるいは単にレジスタ(置数器)という。
- シフトレジスタ
シフトレジスタとは、各フリップフロップの内容が、外部より与えられる信号により、隣のフリップフロップに順次転送されるレジスタである。

3.5 本実験について考察せよ。

今回の実験では、フリップフロップを用いた順序回路の実現法を学んだ。ここで、今回使用したD-FF,T-FF,JK-FF以外のフリップフロップについて考察したい。

- RS-FF (リセットセットフリップフロップ)
RS-FFはセット入力とリセット入力を持つ。セットとは出力Qを1にすることで、リセットは出力Qを0にすることをいう。S=R=0の時は状態は変化しない。また、S=R=1の場合、次の状態 Q_{n+1} は定義しない。
- MS-FF (マスタスレーブフリップフロップ)
MS-FFとは、発信やレーシングを防止する一つの方法として、フリップフロップを2段構成にして、全体として一つのフリップフロップとして動作させる構成のフリップフロップである。マスタFFとスレーブFFとを直列に接続し、マスタFFのデータをそのままスレーブFFに転送できるようにしてある。マスタFFとスレーブFFは対となってデータの取込みと保持を行う。この回路では、マスタFFとスレーブFFのいずれかはデータ保持状態になるので、2個のFFを通過する帰還ループは構成されない。このため、どのような信号を帰還しても安定な動作が保証される。

4 使用器具

- 直流電源：B-E,222
- オシロスコープ：L-BC,73
- ファンクションジェネレーター：B-F,96
- D-FF：4013B
- AND ゲート：4081B
- OR ゲート：4071B
- ブレッドボード

参考文献

- [1] 論理回路と計算機ハードウェア pp.43～47,61：著「原田 豊」 丸善株式会社
- [2] デジタル回路 pp.132,133：著「藤井 信生」 昭晃堂