

情報工学実験 2  
アセンブラプログラミング

035743A : 比嘉雅樹

共同実験者 : 035740F:根保光秀

実験日 : 2004/11/08

提出日 : 2004/11/15

## 1 実験の目的

アセンブラプログラムを実際に作成し、それをハンドアSEMBルし、KUE-CHIP2上で実行することを通して、アセンブルプログラミングおよび機械語プログラムについて理解する事を目的とする。

## 2 報告事項

2.1 図1～3に示した各波形を出力するアセンブラプログラムを作成し、KUE-CHIP2上で実行しなさい。

### 2.1.1 矩形波

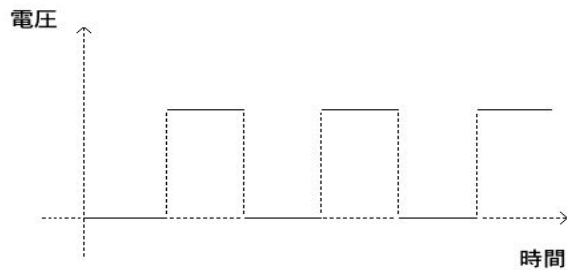


図 1: 矩形波

表 1: プログラム

ARDS	DATA	OPECODE		
00	C0	EOR	ACC,	ACC
01	C8	EOR	IX,	IX
02	10	OUT		
03	BA 01	ADD	IX,	1
05	31 02	BNZ	02H	
07	B2 FF	ADD	ACC,	FF
09	10	OUT		
0A	BA 01	ADD	IX,	1
0C	31 09	BNZ	09H	
0E	30 00	BA	00H	

表1のプログラムでは、IXに1ずつ加算していき、IXが0xFFになるまでACCの値(0)を出力する。IXが0x00になったらACCに0xFFを加算し、その後もIXを加算していき0xFFになるまでACCの値(FF)を出力していく。この処理を繰り返す事により、矩形波を出力していく。

図2にプログラムのフローチャートを示す。

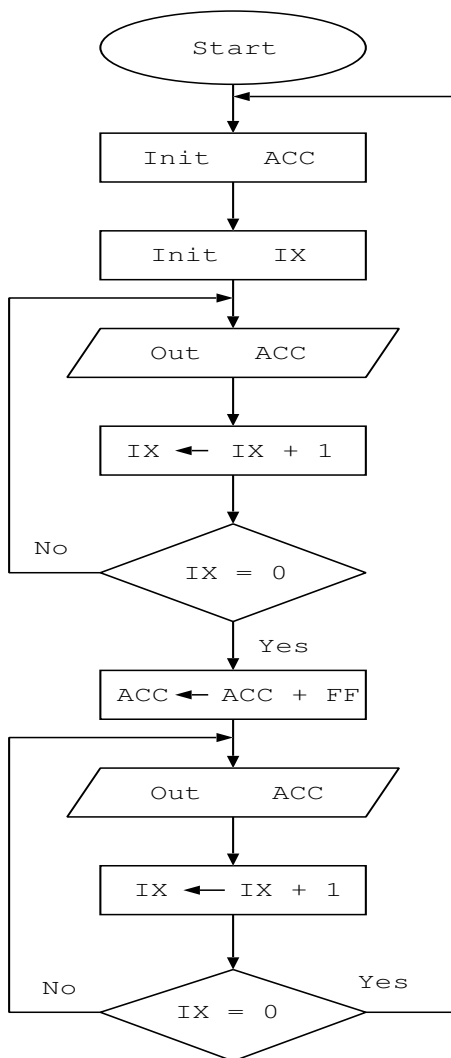


図2: プログラムのフローチャート

### 2.1.2 山形波

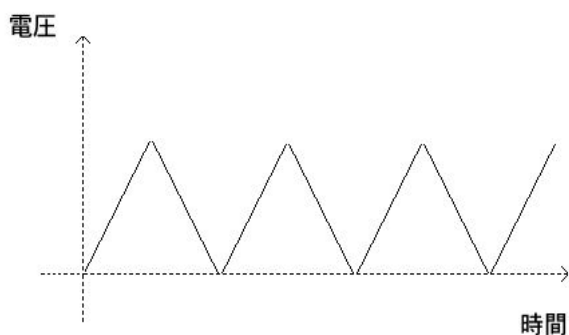


図 3: 山形波

表 2: プログラム

ARDS	DATA	OPECODE		
00	C0	EOR	ACC,	ACC
01	10	OUT		
02	B2 01	ADD	ACC,	1
04	31 01	BNZ	01H	
06	A2 01	SUB	ACC,	1
08	10	OUT		
09	31 06	BNZ	06H	
0C	30 01	BA	01H	

表 2 のプログラムでは、ACC に 1 ずつ加算していきその都度出力していく。加算していき ACC の値が 0xFF になったら、今度は減算していきその都度出力していく。減算していき ACC の値が 0x00 になったら加算していくという処理を繰り返す事により山形波を出力させる。

図 4 にプログラムのフローチャートを示す。

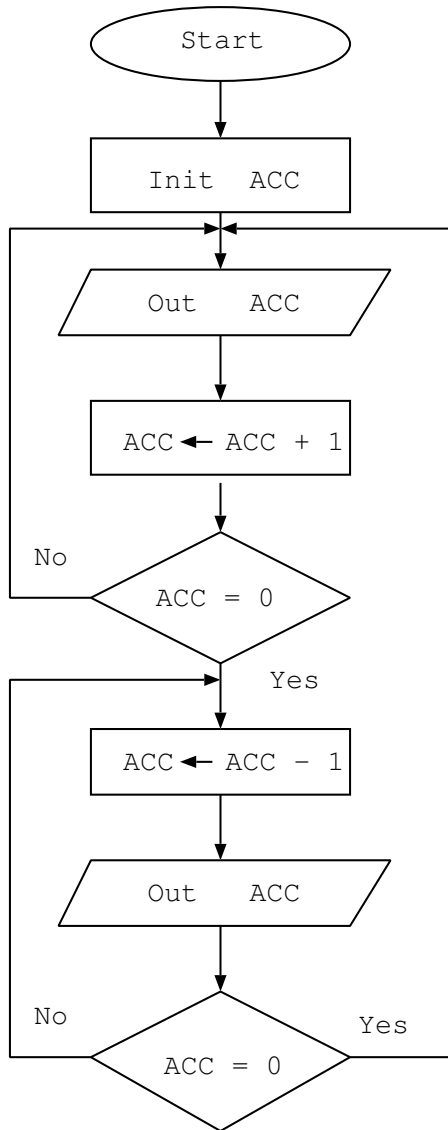


図 4: プログラムのフローチャート

### 2.1.3 菱形波

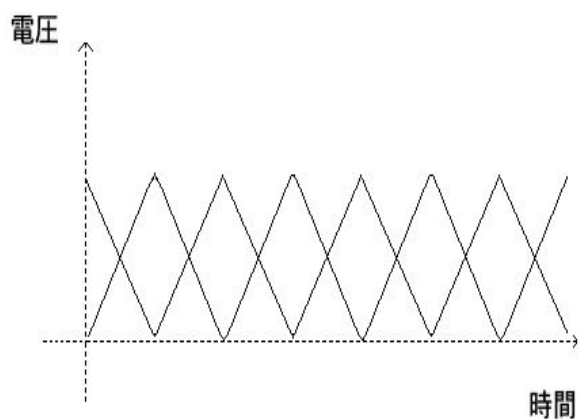


図 5: 菱形波

表 3: プログラム

ARDS	DATA	OPECODE		
00	C0	EOR	ACC,	ACC
01	10	OUT		
02	C2 FF	EOR	ACC,	FF
04	10	OUT		
05	C2 FF	EOR	ACC,	FF
07	B2 01	ADD	ACC,	1
09	30 01	BA	01H	

表 3 のプログラムでは、ACC を出力 (最初は 0) しその後 0xFF との排他的論理和をとり、その値を出力する。出力したらもう一度 0xFF との排他的論理和をとり元の値に戻して 1 加算して出力する。この処理を繰り返す事で菱形波を出力させる。

図 6 にプログラムのフローチャートを示す。

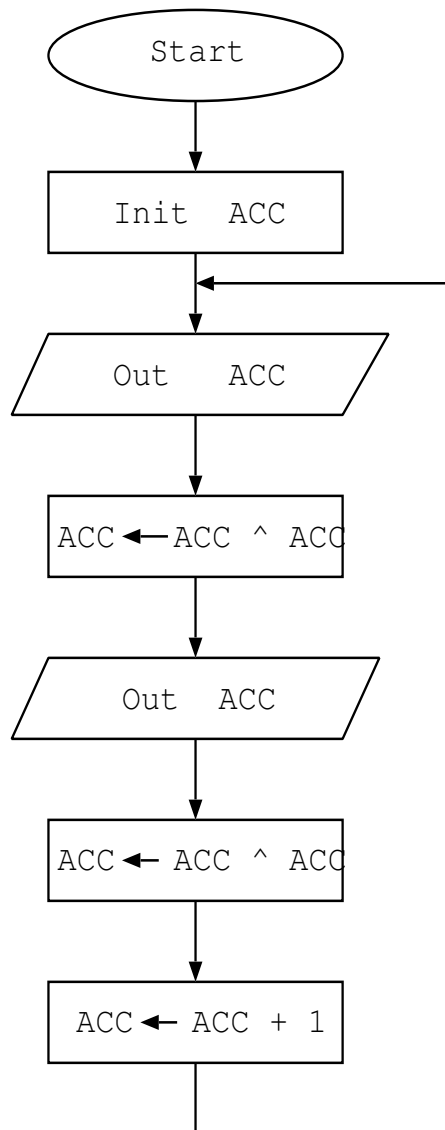


図 6: プログラムのフローチャート

2.2 コンピュータには、CPU から近い順に、レジスタ、キャッシュ、メインメモリ、ハードディスク等の記憶装置が配置されている、これらの各記憶装置の役割を説明せよ。また、このような多種多様な記憶装置が用いられている理由について、コストや記憶容量等の観点から考察しなさい。

- レジスタ

演算や実行状態の保持に用いる記憶素子で、動作が高速（CPU と同等の速さ）だが記憶容量が小さい。レジスタの大きさは CPU のビット数と同じか、その整数倍のものが一般的である。CPU 内部には決まった機能を持っているものや、汎用的に使用されるものなど、多くのレジスタがある。

- キャッシュメモリ

よく使うデータを保存しておく装置で、動作が高速だが記憶容量が小さい。キャッシュメモリを2段階搭載しているものや、サーバ向け CPU 等では3段階搭載しているものもある。

- メインメモリ

データやプログラムを記憶する装置。動作が高速（レジスタやキャッシュには劣る）で、CPU(中央処理装置)から直接読み書きすることができるが、単位容量あたりの価格が高いため大量には使用できない。また、電源をきると記憶が消える揮発性の性質を持っている。

- ハードディスク

大容量の記憶装置。ビット単価が安く、不揮発性だが、媒体の交換や持ち運びが困難で、メインメモリに比べ低速。

「理想的な記憶装置」というのを考えてみると、高速、大容量、安価、高信頼性等が挙げられる。しかし、現在このような記憶装置はまだ開発されていない。レジスタやキャッシュメモリは高速であるため、多く設置する事によりコンピュータの性能の向上が見込めるが、高価なため費用がかかってしまう。メインメモリやハードディスクの場合は容量があっても速度面で劣る。そこで、現在ある記憶装置がもつ優れた特性をそれぞれ組み合わせることにより、理想的な記憶システムにより近いものを構成している。キャッシュメモリがいい例で、キャッシュメモリはよく使うデータを保存しておく事により、低速なメインメモリへのアクセスを減らす事ができ、処理を高速化することができる。



## 2.3 CPUの性能を表す指標の一つに、IPCがある。IPCとはどのような指標か調査し、説明せよ。また、IPC以外のCPUの性能を表す指標について調査し、5つ以上挙げて、詳しく説明せよ。

- IPC  
IPCとは、1クロックあたりに実行可能な命令数のことで、実行命令数 ÷ 所要クロック数で計算できる。IPCが大きいほど命令の実行効率が高い。
- MIPS値  
MIPS(Million Instructions Per Second)とは、CPUが1秒間に実行できる命令数を百万単位で表したものの。1MIPSのCPUであれば、1秒間に1,000,000回の命令を実行できるスピードを持っているということになる。
- 動作周波数  
動作周波数とは、1秒間に刻むクロックの数を表す。3GHzのパソコンでは1秒間に30億回のクロック信号を送っている事になる。クロックとは、CPUの動作基準となる時間の単位で、CPUの処理する各命令は、この1クロックの整数倍の処理時間で必ず実行される。
- ベンチマークテスト  
コンピュータのハードウェアやソフトウェアの処理速度を計算する試験。試験用に作成されたソフトウェアを実行し、処理の完了までにかかる時間を計測することで、制作間の比較を行う。ある特定の装置やソフトウェアの性能を計測するものと、コンピュータシステム全体の処理性能を評価するものがある。
- FLOPS値  
FLOPS(Floating point number Operations Per Second)では、1秒間に何回の浮動小数点計算ができるかが分かる。処理速度が1FLOPSのコンピュータは、1秒間に1回の浮動小数点計算ができる。
- バス幅  
バスとは、コンピュータ内部で各回路がデータをやり取りするための伝送路。複数の新合織で同時に複数のビットを転送するパラレル転送方式でデータを伝送しており、1回の転送で同時に送れるデータの量を「バス幅」という。バスには大きく分けて内部バス、外部バス、拡張バスの3種類があり、CPUの処理速度は内部バスのバス幅に大きく左右される。

## 2.4 パイプライン・アーキテクチャとはどのようなアーキテクチャか調査し、図表等を用いて説明せよ。

主記憶装置に記憶されている命令は、

- 1 命令の読み出し
- 2 命令の読解、処理対象のアドレス計算
- 3 データの読み書き
- 4 命令が指定する演算の実行

等、いくつかの段階からなるサイクルで構成されている。通常は命令を一つずつ読み出し読解・実行を行い、終了後に次の命令に移るということを繰り返す。これを逐次制御という。(図7参照)

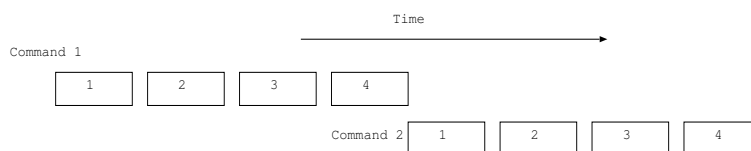


図 7: 逐次制御

このような逐次制御を改善し、処理速度を高速化する方式として、パイプライン処理が使われる。パイプライン処理とは、それぞれのサイクルの空き時間を利用して、複数の命令を同時に並行して処理することができる。(図8参照)

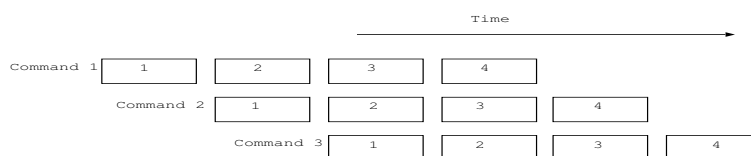


図 8: パイプライン

しかし、この処理方式では、各命令の長さや実行時間が一定で、分岐命令等が無く、順序よく実行できないと実行効率が悪くなってしまふ。

### 3 考察

今回の実験で、パイプラインアーキテクチャについて調べたが、この他にも CPU が命令を処理する方法を調べてみた。

- スーパーパイプライン  
CPU の処理を、複数の細かいパイプラインステージに分割して行う事で高速化を図るアーキテクチャ。通常のパイプラインよりも処理の分割単位をさらに細かくして格段における処理内容を簡素化している。その分、格段の回路構成が簡略化されるので、さらにクロックを上げる事ができ、全体として処理能力の向上が期待できる。しかし、パイプラインの段数が多いだけに、命令の依存関係が発生しやすくなり、コンパイラによる最適化が非常に重要となる。また、分岐予測が外れた場合のペナルティも大きい。
- スーパースケラ  
複数のパイプラインを用意し、複数の命令を並列に処理する事ができる。
- VLIW  
依存関係のない複数の命令を一つの命令としてまとめて同時に実行することで処理の高速化を図る。同時に実行される数は常に一定に保たれ、規定の数に達しない場合は「何もしない」命令で埋められる。

動作周波数をあげるには、スーパーパイプラインが用いられ、IPC を上げるにはスーパースケラが用いられる。しかし、互いにトレードオフの関係にあり、CPU クロックを上げれば IPC が低くなり、IPC を上げれば動作周波数が低くなってしまふ。

### 4 使用した器具

- オシロスコープ : L-BC 73
- KUE-CHIP2 : PWB9408-050

### 参考文献

- [1] サクセスガイド ハードウェア 著 : 安藤明之
- [2] <http://e-words.jp/> "IT 用語辞典"
- [3] <http://www.nifty.com/dictionary/> "@nifty デジタル用語辞典"