

情報工学実験 III
MINI-MIPS 設計 中間レポート

035743A : 比嘉雅樹

提出日 : 2005/06/30

1 4つの命令の実装

既存の Mini-MIPS に対し、andi、sll、srl、j の4つの命令を実装させた。図1に、命令実装後のブロック図を示す。

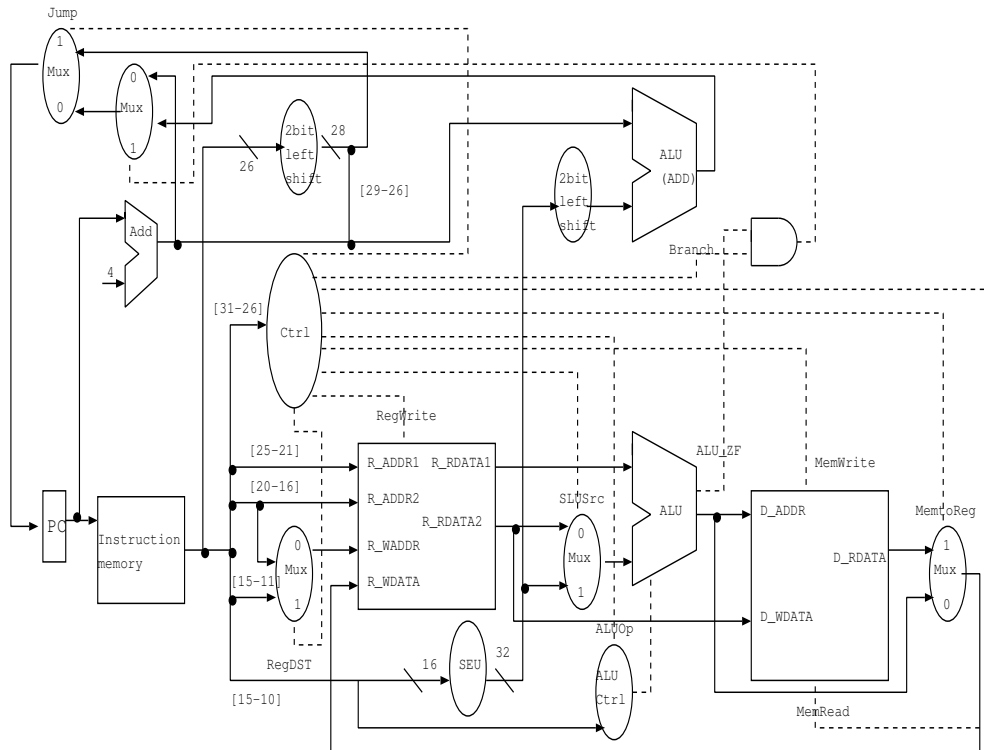


図 1: 4つの命令実装後のブロック図

1.1 VHDL 記述の変更点

- andi
andi は、ALU での動作を変更する以外に記述は ori との違いは無い為記述は省く。
- sll、srl
sll 命令と srl 命令の場合、ALU 内での記述を以下の様にする事で実装した。

vhdl 記述

```
when "100" =>
    ALU_ODATA <= SHL(ALU_IDATA2, INST( 10 downto 6 ));
when "101" =>
    ALU_ODATA <= SHR(ALU_IDATA2, INST( 10 downto 6 ));
```

SHL(std_logic_vector, std_logic_vector); は、第一引数で渡した値を第二引数で指定したビット分左にシフトを行う。SHR も同様の様にして右シフトを行う。

- j
j 命令は、以下の様に記述する事で実装した。

```

vhdl 記述
signal JUMP : std_logic;
signal J_ADDR : std_logic_vector( 31 downto 0 );
signal J_SHIFTER_IN : std_logic_vector( 25 downto 0 );
signal J_SHIFTER_OUT : std_logic_vector( 27 downto 0 );

-- 2-Bits Left Shifter (jump)
J_SHIFTER_OUT <= J_SHIFTER_IN & "00";

-- Jump Address
J_ADDR <= INC_ADDR(31 downto 28 ) & J_SHIFTER_OUT;

```

1.2 動作確認

4つの命令が動くかを確認するため、以下のようなプログラムを実行させた。そのシミュレーション結果を図2に示す。

```

アセンブラプログラム
andi R01, R01, 16
ori R02, R01, 32
sll R02, R02, 2
srl R02, R02, 3
j 1

```

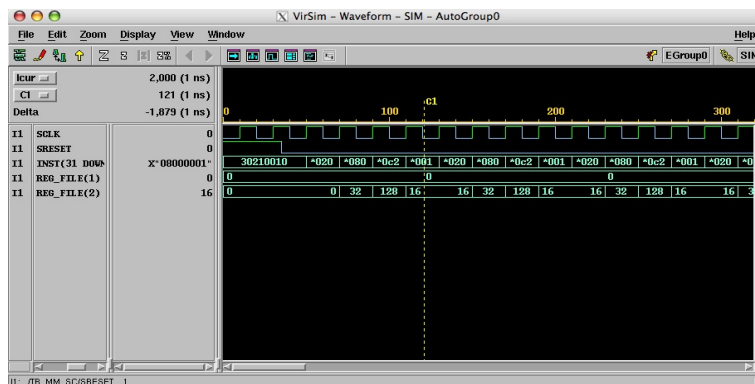


図 2: プログラムのシミュレーション結果

2 パイプライン化

Mini-MIPS をパイプライン化した Mini-MIPS のブロック図を図 3 に示す。

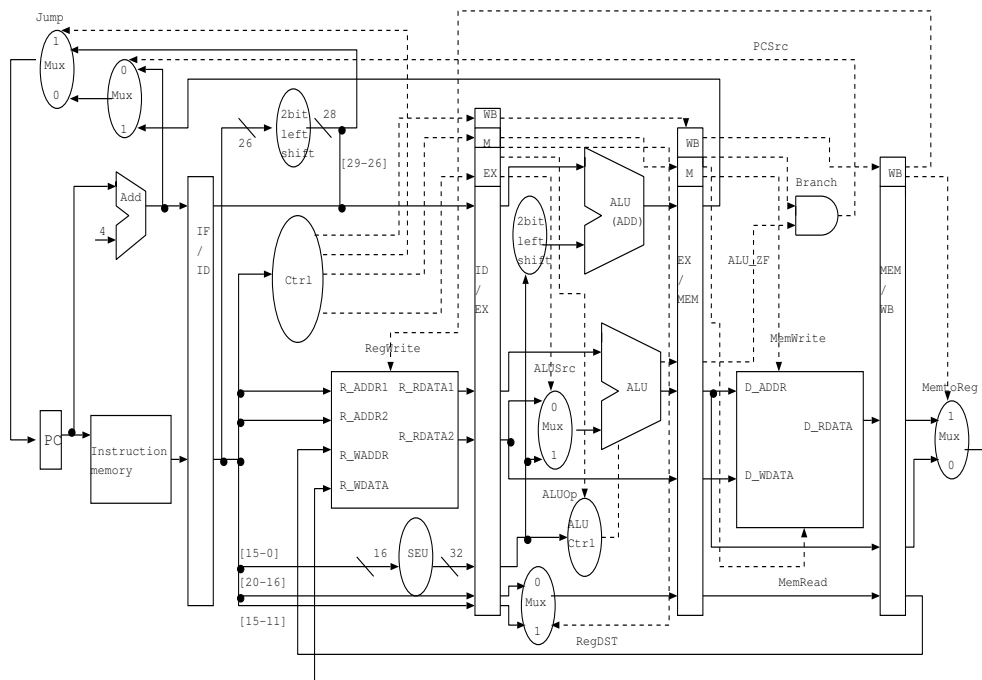


図 3: パイプライン化後のブロック図

パイプライン化前と比べ、パイプライン化後のブロック図には各ステージ間にパイプライン・レジスタが設けられ、次のステージに送るデータを経由させている。それにより各ステージで独立した処理をさせる事が可能になりパイプライン化が実現できた。

2.1 動作確認

パイプライン化の動作を確認する為、1 から 10 の総和を求める下記のプログラムを用いてシミュレーションした。図 4 に、その実行結果を示す。ここでは、ハザード回避の為、各命令間に NOP 命令を挟んである。

アセンブラプログラム

```

andi R00, R00, 0
ori R01, R01, 1
ori R02, R02, 10
slt R03, R00, R02
beq R03, R00, 3
add R04, R04, R02
sub R02, R02, R01
j 3
sw R04, 0(R00)

```

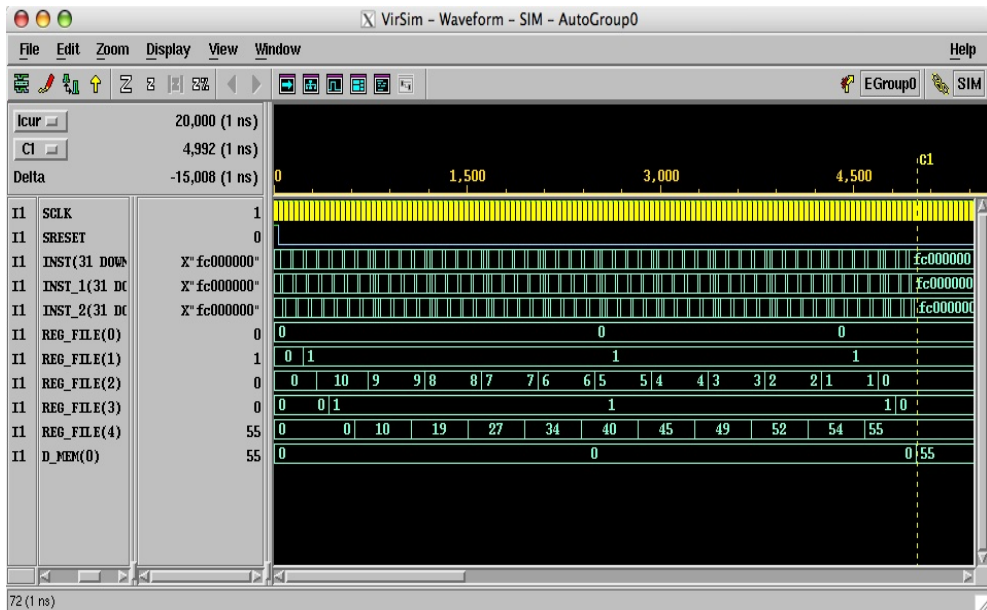


図 4: 総和計算のシミュレーション結果

3 パイプライン・ハザードの対策

3.1 Mini-MIPS で発生しうるハザード

パイプライン・ハザードには大別してデータハザード、コントロールハザード、構造ハザードの3つがあるが、Mini-MIPS で発生しうるハザードはデータハザードの RAW ハザードとコントロールハザードの2つである。今回は、データハザードを回避する為に、データフォワーディングという手法をとる。データフォワーディングは、既に演算結果が求められているステージから ID ステージにデータパスを繋ぐ事により古い値を読み込んで起こる矛盾をなくすることができる。図5はデータフォワーディングを行っている様子である。

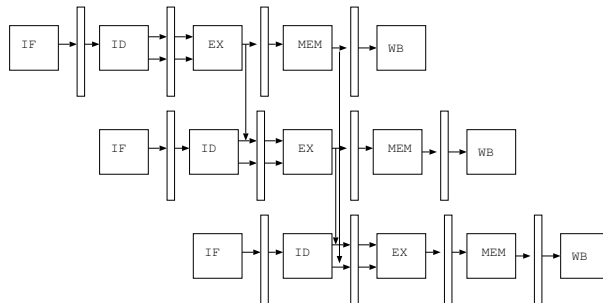


図 5: データフォワーディング

また、図6にデータハザードの対策を行った Mini-MIPS のブロック図を示す。太い線が新たに追加した部分である。

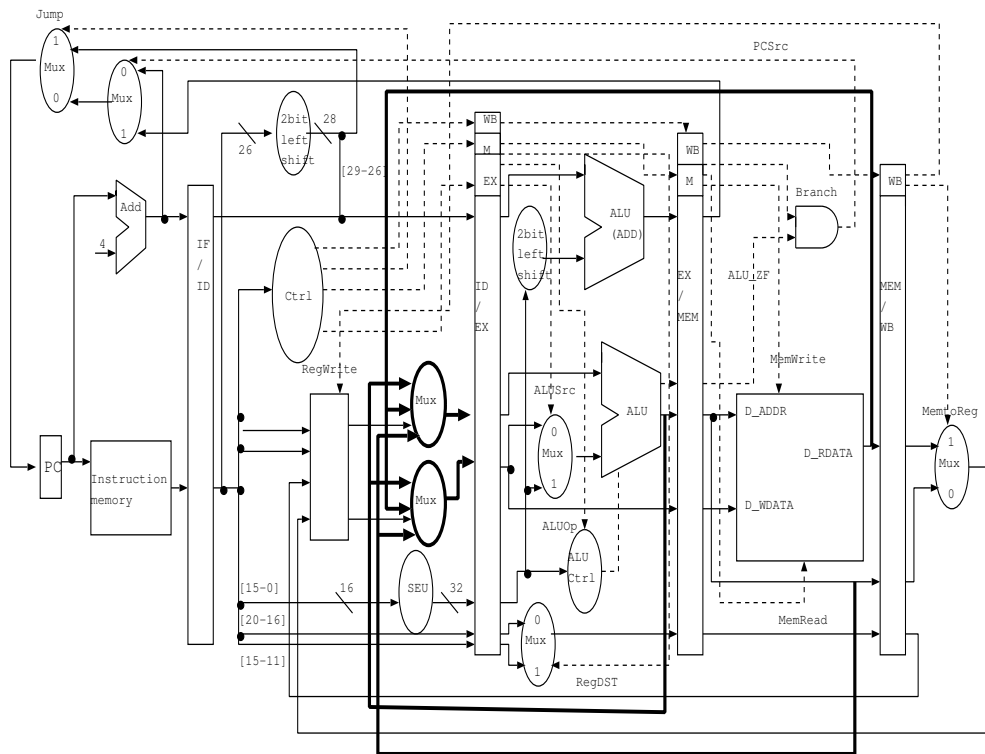


図 6: ハザード対策後のブロック図

参考文献

- [1] コンピュータの構成と設計 ”パターソン&ヘネシー”著