

## 情報工学実験3

# VHDLによるデジタルシステム設計

提出日： 2005/06/02  
学籍番号： 035743A  
氏名： 比嘉雅樹

# 1 逐次型除算器の計算アルゴリズム

今回は 8 ビットの逐次型除算器の計算アルゴリズムを考え、回路を設計した。計算は、除数を 15 ビット・レジスタの左半分に収めて除算のサイクルごとに除数を右へシフトして被除数と位を合わせ、除数が被除数より小さければ商に 1 を立て、減算を行う。除数が被除数より大きければ商に 0 を立て、減算を行わないという方法を用いた。この計算アルゴリズムのフローチャートを図 1 に示す。

ここで、 $X$  は被除数、 $Y$  は除数、 $n$  は  $X$  のビット数、 $S_Z$  は商レジスタとする。

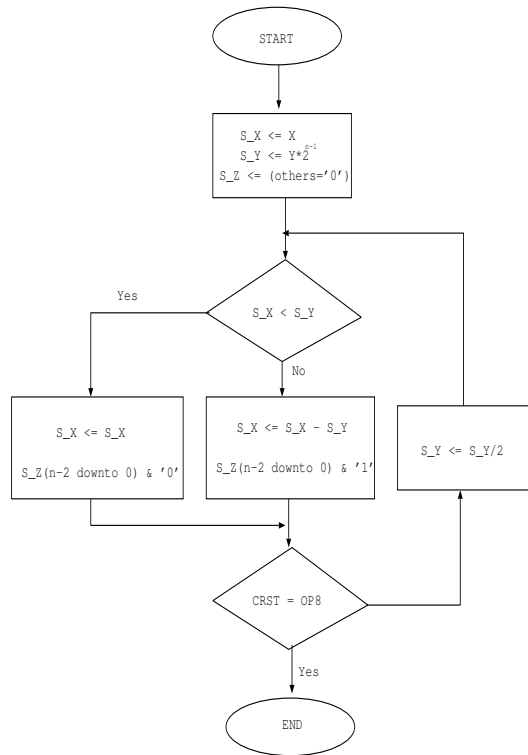


図 1: 計算のフローチャート

次に、図 1 のアルゴリズムを使用した際の計算例を図 2 に示す。ここでは、被除数を  $(10011001)_2$ 、除数を  $(00001010)_2$  としている。

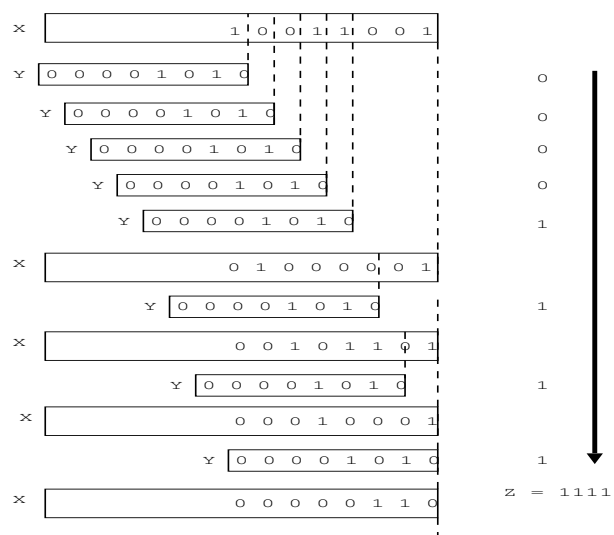


図 2: 計算例

## 2 ブロック図

除算器のブロック図を図 3 に示す。

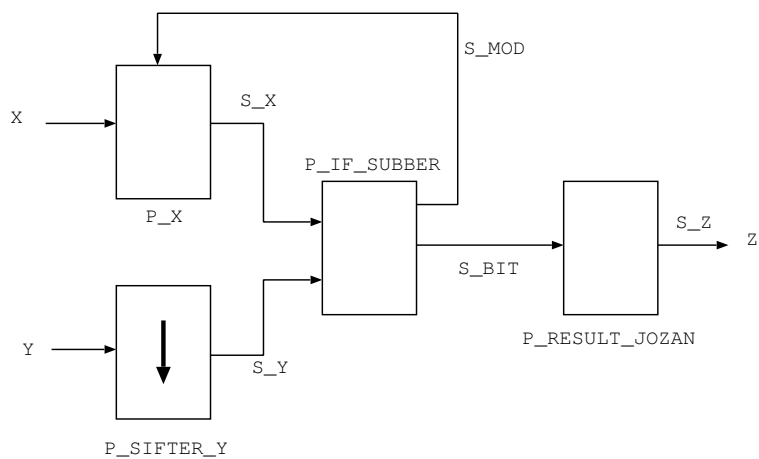


図 3: ブロック図

- 各ブロック図の機能

*P\_X* : 被除数 X、信号 *S\_MOD* を格納するレジスタ

*P\_SIFTER\_Y* : 除数 Y を格納するシフトレジスタ

*P\_IF\_SUBBER* : 信号 *S\_X*、*S\_Y* を比較し減算するレジスタ

*P\_RESULT\_JOZAN* : 信号 *S\_BIT* を格納するレジスタ

### 3 状態遷移図

設計した回路の状態遷移図を図 4 に示す。

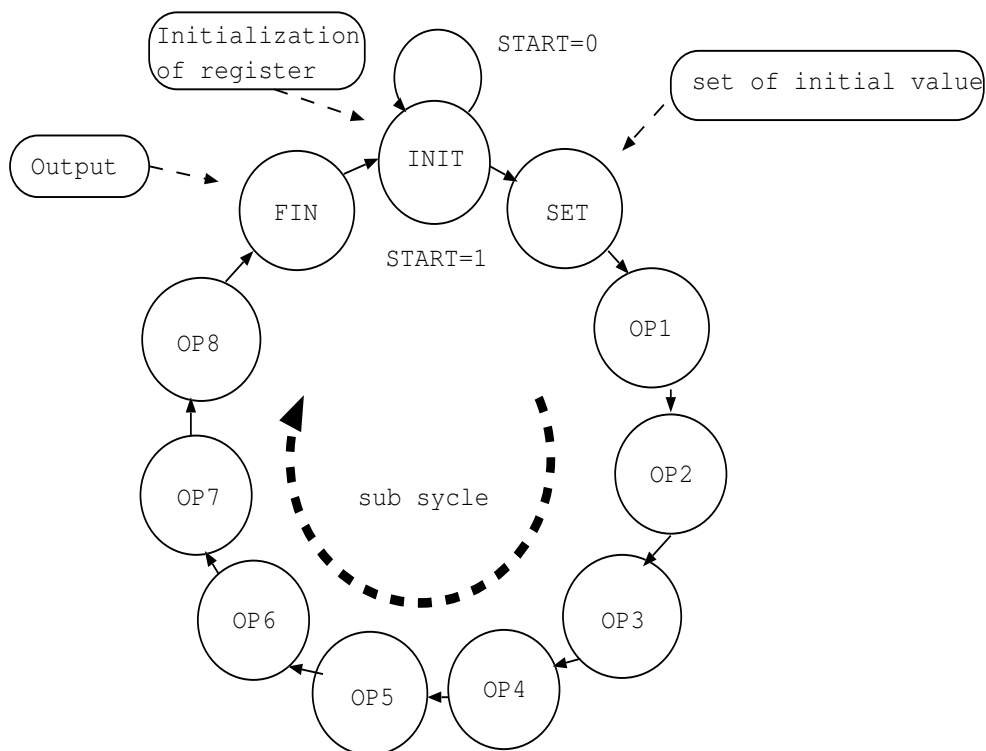


図 4: 状態遷移図

### 4 VHDL による設計

設計した除算器のソースファイルは後程メールにて添付し、  
また以下の場所にも保管する。

除算器 *naha* : `/net/home/y03/j03043/jikken3/rep1/JOZAN.vhd`

テストベンチ *naha* : `/net/home/y03/j03043/jikken3/rep1/TEST_BENCH_JOZAN.vhd`

### 5 シミュレーション結果

図 5 に、回路のシミュレーション結果を示す。

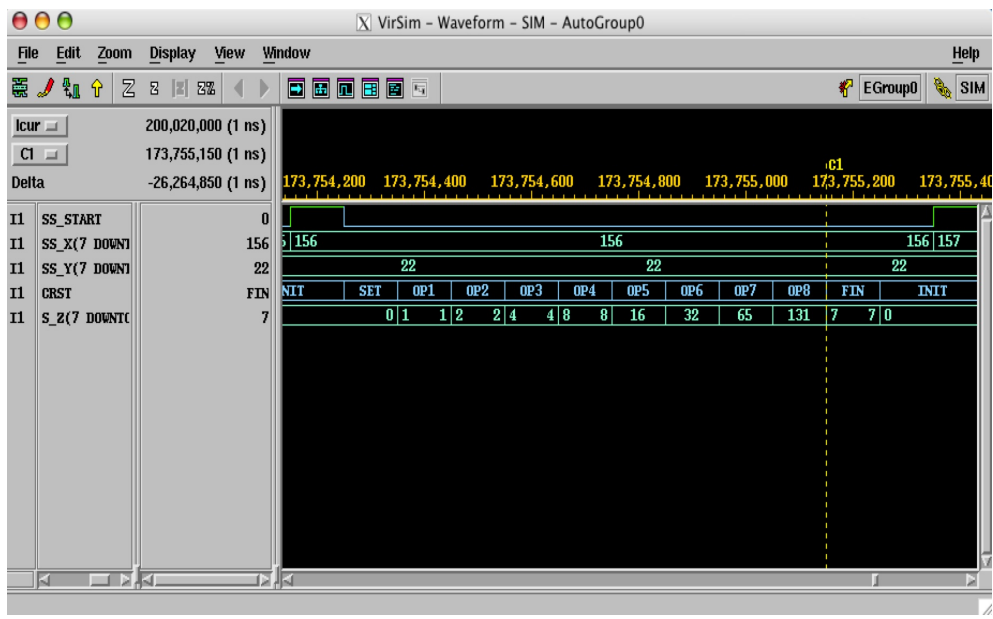


図 5: シミュレーション結果

図 5 を見ると、X=156,Y=22 の時に商が 7 となっている事がわかる。

## 参考文献

- [1] VHDL で学ぶ デジタル回路設計 著：吉田たけお
- [2] コンピュータの構成と設計 (上) 著：David A.Patterson