

汎用ロジック IC によるカウンタの実現

学籍番号 045713C : 大城 和也

グループ B:メンバー

045711G:上原 祐亮

045712E:大城 和輝

045715K:大城 悠

提出期限:平成 17 年 6 月 21 日 (火)

1 実験目的

今回の実験では、カウンタを汎用ロジック IC を用いて実現することにより、フリップフロップ (FF) の特性を理解するとともに、カウンタの動作原理および同期式順序回路の設計手順を習得することを目的とする。

2 使用器具

- Quad 2 Input XOR Gate (XOR ゲート)
- Quad 2 Input AND Gate (AND ゲート)
- Dual D-FFs with Preset and Clear (D フリップフロップ)
- ブレッドボード
- 発振器 (SN:CFG-253TW54152)
- オシロスコープ
- その他 (配線・直流電源・実験指導書)

3 実験方法

3.1 5 進同期式カウンタの状態遷移表を描け

初めにタイミングチャートを書き、そこから状態の遷移をしらべ表と為す。

3.2 前実験での結果を用いて、5進同期式カウンタの状態遷移関数を求めよ。

前の実験にて求めた状態遷移表から加法標準形を用いて式に置き換える。その後、できるだけ簡単化を行う。

3.3 前実験で求めた状態遷移関数をもとに、D-FF を用いた場合の回路図を描け。

論理式からその回路図を作成する。

3.4 前実験で求めた回路をブレッドボード上に実現し、動作を確認せよ。

求めた回路図を元に、ブレッドボードに回路を実現し発振器でクロックを与える、そのときの動作をオシロスコープを用いてその様子を確認する。

4 報告事項

4.1 実験結果の報告

4.1.1 5進同期式カウンタの状態遷移表を描け。

状態遷移表は現状態から次の状態へどう移り変わるかが分かればいい。今回の場合は図1のタイミングチャートを始めに書いてそれから表1を求めた。

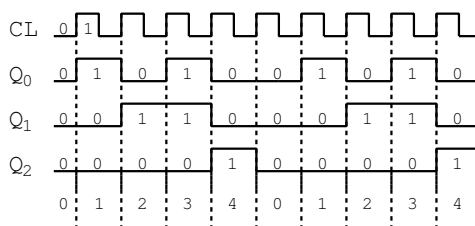


図 1: タイミングチャート

表 1: 5進同期式カウンタ状態遷移

現状態			次状態		
Q_2	Q_1	Q_0	Q'_0	Q'_1	Q'_2
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0

4.1.2 5進同期式カウンタの状態遷移関数を求めよ。

前実験で作成した表 1 を各出力ごとに加法標準形を用いて論理式にする。
このとき、簡単化できるものは簡単化しておく。

$$D_0 = Q'_0 = \overline{Q_2} \overline{Q_1} \overline{Q_0} + \overline{Q_2} Q_1 \overline{Q_0} = \overline{Q_2} \overline{Q_0}$$

$$D_1 = Q'_1 = \overline{Q_2} \overline{Q_1} Q_0 + \overline{Q_2} Q_1 \overline{Q_0} = \overline{Q_2} (Q_1 \oplus Q_0)$$

$$D_2 = Q'_2 = \overline{Q_2} Q_1 Q_0$$

4.1.3 D-FF を用いた場合の回路図を描け。

前実験での論理式を元に下の図 2 のように回路図を作成する。

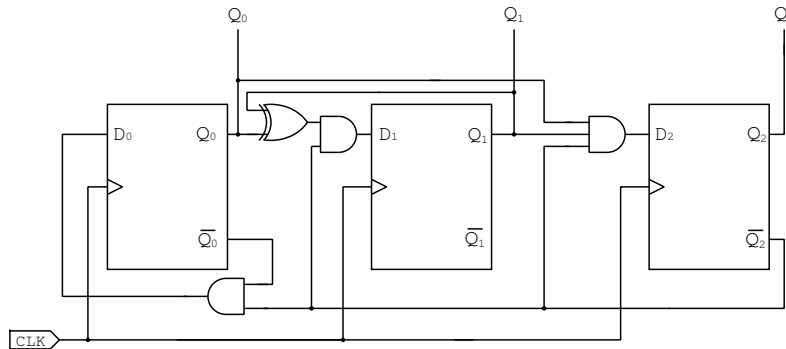


図 2: 5進カウンタ (D-FF)

4.1.4 ブレッドボード上に実現し、動作を確認せよ。

回路図からブレッドボード上にカウンタを作成する。オシロスコープの CH1 をクロック (発振器) に、CH2 をそれぞれの出力とつないで動作を確認した。

それぞれの波形は初めにかいたタイミングチャートと同じになることを確認した。

4.2 実験のデジタル回路においてよく用いられる順序回路に、(メモリ)レジスタやシフトレジスタがある。これらの回路について調査し説明せよ。

メモリレジスタとは FF を複数並べることでデータを保持できるようにしたものである。一つの FF には 1 ビットの情報を記憶することができるので n 個の FF を用いて n ビットのデータが記憶できる。メモリレジスタはデータを並列に同時に入力し、並列に出力することができる。

シフトレジスタとは、シリアルデータを入力とするレジスタであり、入力されたデータはクロックが起こるたびにデータを隣のレジスタに移動(シフト)する。それを繰り返しデータのシフトを行う。出力は 1 ビットずつ取り出す直列出力と各 FF から取り出す並列出力があり、このためシフトレジスタはシリアル・パラレル変換器としても考えられる。

4.3 JK-FF とはどのような動作をする FF か調査し報告せよ。また、JK-FF を用いて順序回路を設計する方法について調査し説明せよ。さらに、その方法に基づいて、4 進同期式カウンタを JK-FF を用いて設計し、その回路図を示せ。

JK-FF は、クロックが 0 の時は前回の値を保持し続けクロックが 1 の時だけ入力に対して出力が変化する回路である。詳細な動きは下の表 2 の JK-FF の特性表をみてもらえばわかる。

ちなみに、この J,K の由来の一つに Jack と King が Q(Queen) を奪い合うという節があり、両方とも Queen に求婚 ($J=K=1$) した場合、Queen が行ったり来たりする様うかがえるらしい。

表 2: JK-FF 特性表

入力			出力	
CK	J	K	Q^{t+1}	$\overline{Q^{t+1}}$
0	*	*	Q^t	$\overline{Q^t}$
1	0	0	Q^t	$\overline{Q^t}$
1	0	1	0	1
1	1	0	1	0
1	1	1	$\overline{Q^t}$	Q^t

さて、先ほど説明した JK-FF だがこの回路にある値 D を J に、D の反転を K に与えた場合、その動きは今回の実験に用いた D-FF と同じとなるという性質がある。その時の動きを特性表を表 3 に示す。

表 3: JK-FF 特性表 (J=D、K= \overline{D})

入力			出力	
CK	J(D)	K(\overline{D})	Q^{t+1}	\overline{Q}^{t+1}
0	*	*	Q^t	\overline{Q}^t
1	0	1	0	1
1	1	0	1	0

よって、今回の JK-FF を用いたカウンタは実験と同様に考えて作成し、後 D の値を D と \overline{D} に分けてそれぞれを JK-FF の J と K に渡すように設計すれば良いということになる。

実験の時の要領で 4 進のカウンタの状態遷移表を考えると表 4 となる。こ

表 4: 4 進同期式カウンタ状態遷移

現状態		次状態	
Q_2	Q_1	Q'_0	Q'_1
0	0	0	1
0	1	1	0
1	0	1	1
1	1	0	0

の表から論理式を求めると

$$D_0 = Q_0 = \overline{Q_1} \overline{Q_0} + Q_1 \overline{Q_0}$$

$$D_1 = \overline{Q_1} Q_0 + Q_1 \overline{Q_0} = Q_1 \oplus Q_0$$

となる。

よって、これを先ほどの D-FF と JK-FF との関係を考えを踏まえて回路を設計すると下記の図 3 となる。

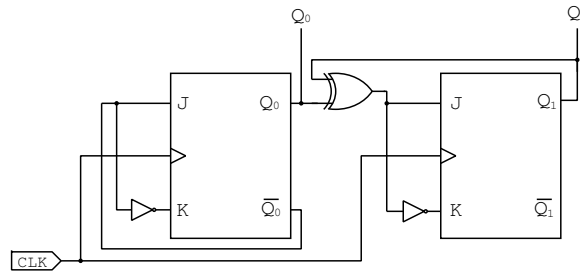


図 3: 4進カウンタ (JK-FF)

4.4 実際のデジタル回路のほとんどは同期式順序回路である。
この理由について考察せよ。

同期式順序回路がよく用いられる理由は非同期式順序回路とくらべてはるかにタイミング設計がしやすくシンプルということである。これは大規模な回路を設計する際には最も重要なことであり、最大の利点となる。さらに、現状の論理合成ツールは同期設計向きであり、やはり同期設計のほうが有利である。よって実際の回路ではほとんどが同期式を採用していると考えられる。

4.5 加算を高速に行える加算器の一つにキャリールックアヘッド（桁上げ先見）方式の加算器がある。キャリールックアヘッド方式の加算器とは、どのような加算器か調査し説明せよ。

前回の実験 (report7) で作成した加算器は桁上げ伝播加算回路 (Ripple carry adder) と呼ばれるものでこの加算器は加数と非加数以外に下位から桁上げによって計算する。そのため、一段一段で、下位の桁上げを伝播させなければ上位の桁が計算できない。そのため、遅延時間が大きくなる。

一方、桁上げ先見加算回路 (Carry look-ahead adder) とは伝播による遅延を小さくするために考えだされたものであり、下位からの桁上げ信号を上位全てのビットに伝播させることによって、全ビットをほぼ同時に計算し、和出力における大きな遅れをなくすといったものである。下記にその詳細を記す。

各桁の加数を x_i 、非加数を y_i 、一つ下位からの桁上げを c_i とした場合、桁上げが発生する場合は $x_i=y_i=1$ のとき、あるいは $c_i=1$ で $x_i, y_i = 0, 1$ 、

$x_i, y_i = 1, 0$ の時であり、 c_i を考慮した時でも $x_i = y_i = 0$ の時には桁上げは発生しない。このことを考えると現在の段から発生する桁上げ c_{i+1} は

$$c_{i+1} = x_i y_i + c_i (x_i y_i)$$

と表すことができる。ここで $A_i = x_i y_i$ 、 $B_i = (x_i \oplus y_i)$ とおき c_1 から c_3 までを一通り挙げる。

$$c_1 = A_0 + c_0 B_0$$

$$c_2 = A_1 + c_1 B_1 = A_1 + A_0 B_1 + c_0 B_0 B_1$$

$$c_3 = A_2 + c_2 B_2 = A_2 + A_1 B_2 + A_0 B_1 B_2 + c_0 B_0 B_1 B_2$$

となる。これを一般式にすると

$$c_{i+1} = A_i + A_{i-1} B_i + A_{i-2} B_{i-1} B_i + \dots + c_0 B_0 B_1 \dots B_i$$

と数列になることがわかる。

この式から分かるように各桁上げは下位の加数と非加数、そして初めの桁上げ c_0 のみで構成されている。つまり、初めの c_0 が分かれば他の桁上げもその時点から求めることが可能ということである。各桁の値を同時に計算することが可能であり、このことにより伝播加算回路における遅延時間を大幅に減少できるのである。

4.6 本実験について考察せよ。

本実験は D-FF を用いてカウンタを作成することであった。この実験を通して学んだことは

- 同期式回路におけるタイミングの様子
- D-FF の動き方と IC における扱い方
- D-FF でのカウンタの設計方法

などである。D-FF は 0 の間、値を保持する機能があり、カウンタはそれを用いて設計されている。ちなみに、カウンタとは名前の通り、数を数えるものという意味を含んでおり、今回はクロックが立ち上がるごとにその数をカウントしている。実験では D-FF を 3 つ用いている。これは FF は 1 ビットの値しか保持できないので 2 ビットでは 4 進のカウンタまでしかできない。よって、3 ビットを扱える 3 つの FF を使い 5 進のカウンタを作成している。

5 その他 (感想)

今回の実験は D-FF を用いてのカウンタの作成だけだったので早く終わると思ってましたが一度作った回路がうまく動作しなくてほんとに焦りました。一応、すぐに確認することができたのでよかったです。レポートの方はいつもより早めに始めたのもあってか中々に余裕を持って終わらせることができたので本当に良かったです。とは言っても結局、夜中近くまで残ってるんですけどね…。次の実験からは A/D 変換、未だどの授業でも習っていない未知の領域ですので心してかかろうと思います…。

参考文献

- [1] 吉田たけお、尾知博：“VHDL で学ぶデジタル回路設計”，CQ 出版社.
- [2] PDF ファイル,” 卒業研究報告 算術演算器の速度評価”
- [3] PDF ファイル,” 同期式技術と非同期式技術の融合”
- [4] <http://www002.upp.so-net.ne.jp/latex/> , ”LaTeX コマンドシート一覧”
- [5] <http://www.arwil.net/shin/tgif/index.ja.html>,”Let’s draw circuit diagram with tgif”