

情報工学実験 1  
汎用ロジック IC による組み合わせ回路の  
実現

学籍番号 045718D : 翁長絵美、グループ C

実地日 : 平成 17 年 6 月 7 日  
実地日 : 平成 17 年 6 月 14 日

共同実験者  
沖津 望 : 045717F  
小野裕作 : 045719B  
狩野 昂 : 045720F

## 1 実験目的

本実験では、簡単な組み合わせ回路の設計および実現を行うことによって、カルノー図などを用いた論理関数の単純化に慣れるとともに、実際のコンピュータに使用されている演算器の設計法について習得する。

## 2 使用した器具

- ダイオード
- ブレッドボード
- 直流電源 (ERS01A)
- IC(TC4030BP)(TC4071BP)(TC4081BP)

## 3 報告事項

### 3.1 各実験について結果を報告しなさい。

(1) 半加算器、全加算器、2ビット加算器の真理値表を書き、それぞれの論理関数を求めよ。

ここでの  $A, B, x, y$  は入力値、 $C$  は上位桁へのキャリー、 $S$  は出力値を表す。

表 1: 半加算器

A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

表 2: 全加算器

A	B	x	C	S
0	0	0	0	0
0	1	0	0	1
1	0	0	0	1
1	1	0	1	0
0	0	1	0	1
0	1	1	1	0
1	0	1	1	0
1	1	1	1	1

表 3: 2 ビット加算器

A	B	x	y	C	$S_2$	$S_1$
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	0	1	1
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	0	1	1
0	1	1	1	1	0	0
1	0	0	0	0	1	0
1	0	0	1	0	1	1
1	0	1	0	1	0	0
1	0	1	1	1	0	1
1	1	0	0	0	1	1
1	1	0	1	1	0	0
1	1	1	0	1	0	1
1	1	1	1	1	1	0

表 1 より半加算器の論理関数は

$$S = (\bar{A} \cdot B) + (A \cdot \bar{B})$$

$$C = A \cdot B$$

となる。

また、表 2 より全加算器の論理関数は

$$S = (\bar{A} \cdot B \cdot \bar{x}) + (A \cdot \bar{B} \cdot \bar{x}) + (\bar{A} \cdot \bar{B} \cdot x) + (A \cdot B \cdot x)$$

$$C = (A \cdot B \cdot \bar{x}) + (\bar{A} \cdot B \cdot x) + (A \cdot \bar{B} \cdot x) + (A \cdot B \cdot x)$$

となる。

最後に、表 3 より 2 ビット加算器の論理関数は

$$S_1 = (\bar{A} \cdot \bar{B} \cdot \bar{x} \cdot y) + (\bar{A} \cdot \bar{B} \cdot x \cdot y) + (\bar{A} \cdot B \cdot \bar{x} \cdot \bar{y}) + (\bar{A} \cdot B \cdot x \cdot \bar{y})$$

$$+ (A \cdot \bar{B} \cdot \bar{x} \cdot y) + (A \cdot \bar{B} \cdot x \cdot y) + (A \cdot B \cdot \bar{x} \cdot \bar{y}) + (A \cdot B \cdot x \cdot \bar{y})$$

$$S_2 = (\bar{A} \cdot \bar{B} \cdot x \cdot \bar{y}) + (\bar{A} \cdot \bar{B} \cdot x \cdot y) + (\bar{A} \cdot B \cdot \bar{x} \cdot y) + (\bar{A} \cdot B \cdot x \cdot \bar{y})$$

$$+ (A \cdot \bar{B} \cdot \bar{x} \cdot \bar{y}) + (A \cdot \bar{B} \cdot \bar{x} \cdot y) + (A \cdot B \cdot \bar{x} \cdot \bar{y}) + (A \cdot B \cdot x \cdot y)$$

$$C = (\bar{A} \cdot B \cdot x \cdot y) + (A \cdot \bar{B} \cdot x \cdot \bar{y}) + (A \cdot \bar{B} \cdot x \cdot y) \\ + (A \cdot B \cdot \bar{x} \cdot y) + (A \cdot B \cdot x \cdot \bar{y}) + (A \cdot B \cdot x \cdot y)$$

となる。

(2) 実験(1)で作成した各真理値表をもとにカルノー図を描き、簡単化された論理関数を求めよ。

<半加算器>

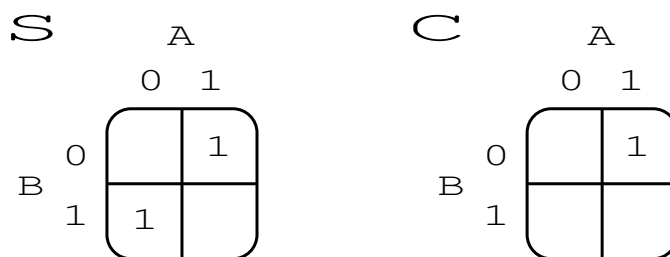


図 1: 半加算器のカルノー図

図 1 より、半加算器は簡単化することが出来ない。よって論理式は変わらない。

$$S = (\bar{A} \cdot B) + (A \cdot \bar{B}) \\ C = A \cdot B$$

<全加算器>

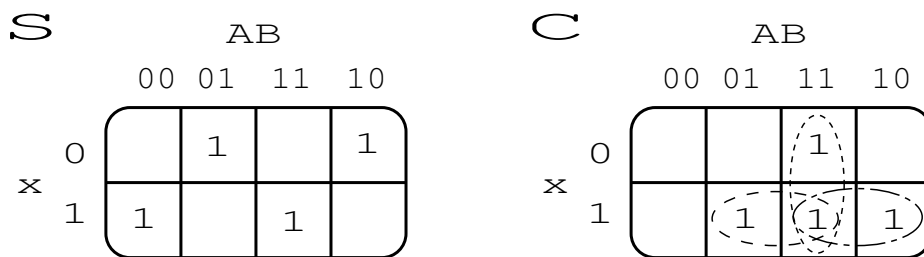


図 2: 全加算器

図2より、全加算器は上位桁へのキャリーを簡単化することができる。

$$S = (\bar{A} \cdot B \cdot \bar{x}) + (A \cdot \bar{B} \cdot \bar{x}) + (\bar{A} \cdot \bar{B} \cdot x) + (A \cdot B \cdot x)$$

$$C = (A \cdot B) + (B \cdot x) + (A \cdot x)$$

<2ビット加算器>

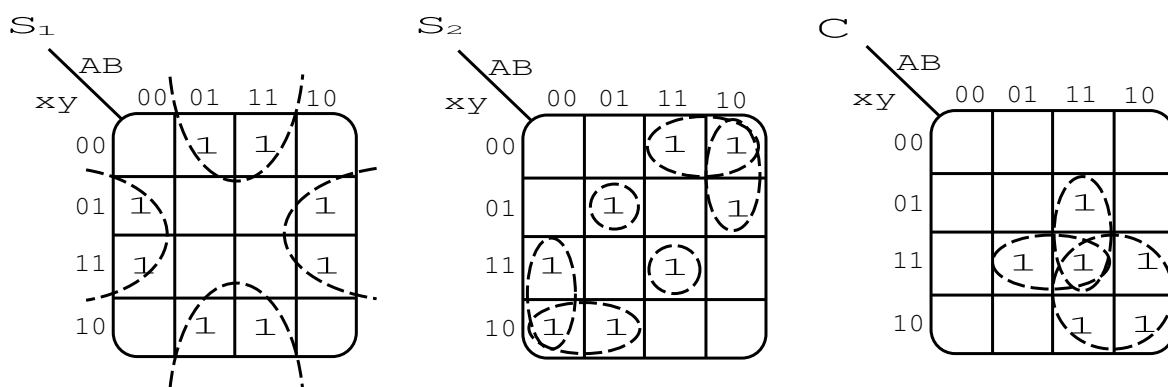


図3: 2ビット加算器

図3より、2ビット加算器はすべての出力を簡単化することができることがわかる。

$$S_1 = (B \cdot \bar{y}) + (\bar{B} \cdot y)$$

$$S_2 = (\bar{A} \cdot B \cdot \bar{x} \cdot y) + (A \cdot B \cdot x \cdot y) + (A \cdot \bar{x} \cdot \bar{y}) + (A \cdot \bar{B} \cdot \bar{x}) + (\bar{A} \cdot \bar{B} \cdot x) + (\bar{A} \cdot x \cdot \bar{y})$$

$$C = (A \cdot B \cdot y) + (B \cdot x \cdot y) + (A \cdot x)$$

(3) 実験(1)および実験(2)で得られた論理関数を比較し、実験(2)で得られた論理関数が簡単化されていることを確認せよ。

半加算器はこれ以上簡単にはできないが、全加算器や2ビット加算器は実験(2)の結果より実験(1)で求めたそれぞれの論理式より明らかに簡単化されていることがわかる。

(4) 実験(2)で得られた論理関数から、半加算器と全加算器の回路図を描け。  
以下図4に半加算器、図5に全加算器の回路図を示す。

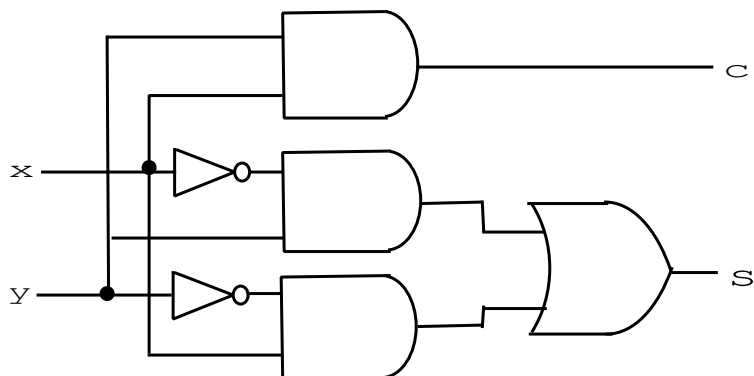


図 4: 半加算器の回路図

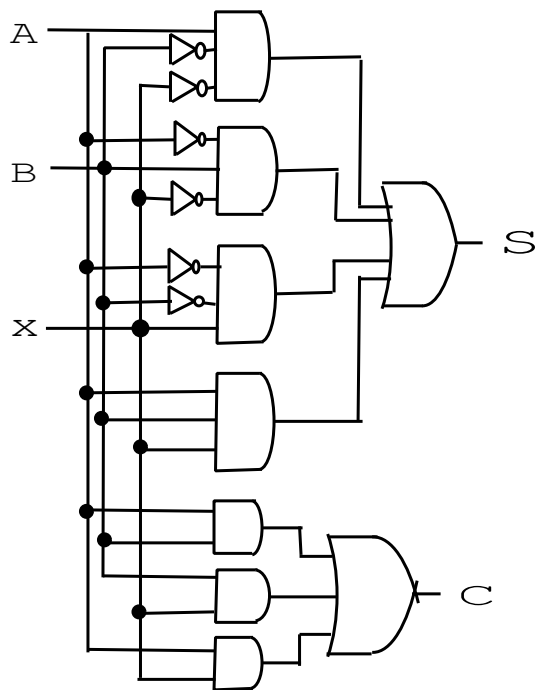


図 5: 全加算の回路

(5) 実験(4)で描いた回路図をもとにして、ブレッドボード上に半加算器を実現し、その動作を確認せよ。

実験(4)で描いた半加算器の回路図をより簡単にすると、XORとAND回路だけで表すことができる。これを基にしてブレッドボードに半加算器を実現してみた。図6はその時の回路図である。

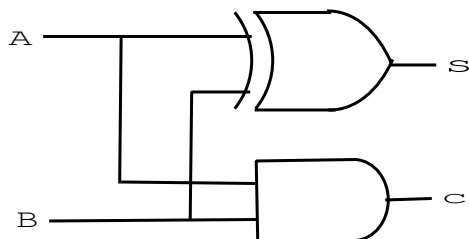


図 6: XOR と AND で半加算器

動作は反加算器の真理値表通りにダイオードのランプが光ることが確認できた。

(6)ブレッドボード上に、もう一つ半加算器を実現し、図3.5の構成に基づいて全加算器を実現せよ。また、その動作を確認せよ。  
半加算器を2つ使った回路図は図7のようになる。

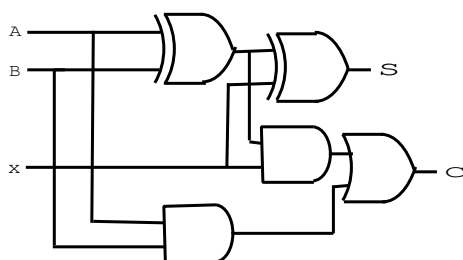


図 7: 全加算器

動作は、全加算器の真理値表通りに動いた。はじめ、つかないはずのダイオードがついていたり、訳の分からない行動をしていたが、原因は配線の接触不良だということがわかり、きちんとつなぎ直すと正しくつくることができた。

3.2 加算器以外の実用的な組み合わせ回路を3つ挙げ、それらの真理値表と回路図を示せ。また、それらの動作や特徴について述べよ。

<半減算器>

1ビットの減算を行う回路。非減数(A)−減数(B)<0の場合、借りの値を出力する。図8、表4はそれぞれ半減算器の回路図と真理値表である。

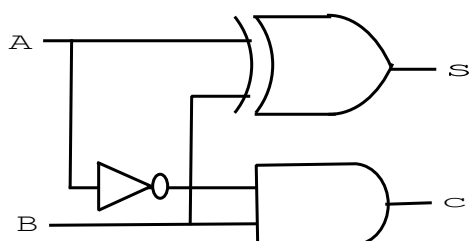


図 8: 半減算器の回路

表 4: 反減算器の真理値表

非減数	減数	差	借り
A	B	S	C
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

<マルチプレクサ>

マルチプレクサとは、複数の入力線から制御信号によって一つの入力線を選択し、その信号を出力線に伝える組み合わせ回路である。図9、表5にマルチプレクサの回路図と真理値表を示す。



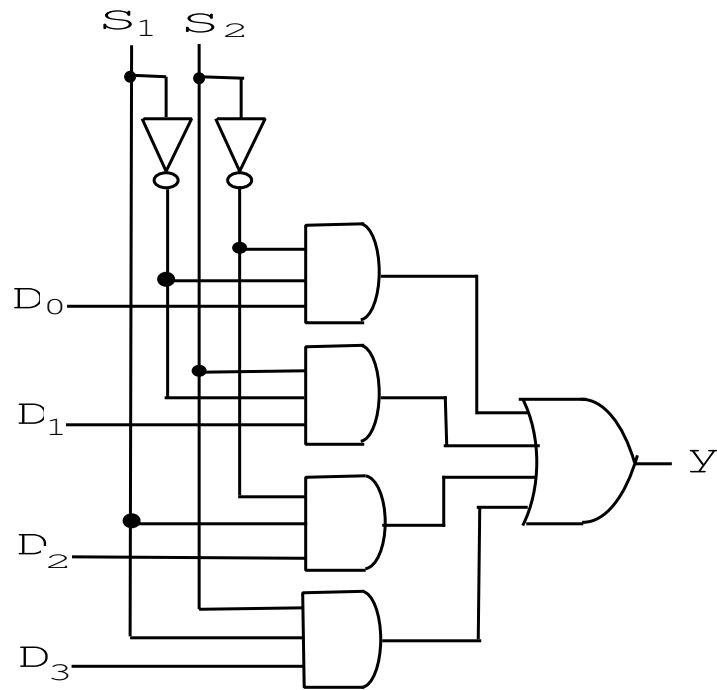


図 9: マルチプレクサの回路

表 5: マルチプレクサの真理値表

制限入力		出力
$S_1$	$S_2$	$y$
0	0	$0D_0$
0	1	$D_1$
1	0	$D_2$
1	1	$D_3$

#### <デコーダ>

デコーダとは、 $n$  ビットの信号が入力されると、その  $n$  ビット 2 進数に対応する番号の出力線のみを '1' にし、残りの出力線を '0' にする組み合わせ回路のことである。図 10、表 6 にデコーダの回路図と真理値表を示す。

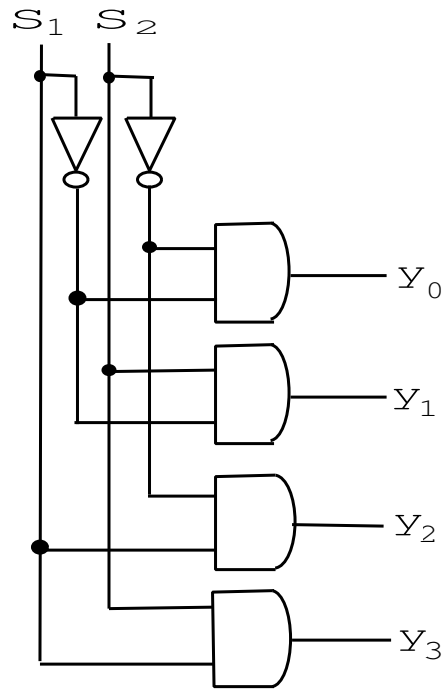


図 10: デコーダの回路

表 6: デコーダの真理値表

入力		入力 S の 10 進数の値	出力			
$S_1$	$S_2$		$y_0$	$y_1$	$y_2$	$y_3$
0	0	0	0	0	0	1
0	1	1	0	0	1	0
1	0	2	0	1	0	0
1	1	3	1	0	0	0

3.3 本実験で学んだカルノー図による論理圧縮 (論理関数の簡単化) の方法は、直感的にわかり易い方法であるが、5 変数程度までの論理関数にしか適用できず、あまり実用的ではない。このため実際には、クワイン – マクラスキー法、あるいはクワイン – マクラスキー法に基づいた論理圧縮手法が用いられている。クワイン マクラスキー法とは、どのような方法か調査し報告せよ。

クワイン – マクラスキー法とは、補元の性質  $xP + \bar{x}P = P$  を利用した簡単化をしらみ潰しに行い、最後に必要な項のみを集める手法である。

[手順]

(1) 与えられた論理式を最小項の和で表す。(主加法標準展開)

<圧縮表の作成>

(2) 各最小項を 2 進数の順に配列する。

例)  $\bar{A} \cdot B \cdot \bar{C}$       010  
 $A \cdot \bar{B} \cdot C$       101

(3) 各項を比較し、距離 1 の符号 (対応するビットで異なるものが一つ) を選ぶ。

例えば、0011 と 0111 は、0\_11 のように圧縮し、  
 圧縮した項は、チェックマーク (レ) をつける。

(4)(3) の結果を 2 次以上について可能な限り繰り返す。[主項図の作成]

(5) 主項 (圧縮されずに残った項) を左に、最小項を上を書く。

(6) 各主項が最小項を含むとき、その交点に  $\bar{\cup}$  をつける。

(7) 各最小項が少なくとも一つの  $\bar{\cup}$  を含むような、最も簡単な主項の組み合わせを求める。

3.4 順序回路は、同期式と非同期式に大別される。両者の違いを調査し報告せよ。

順序回路の記憶回路を扱う場合には、信号変化のタイミングに気を配らなければならない。同期式は順序回路を外部のクロックに同期し、動作させることによりタイミングをとる方法である。一方非同期式は、クロックに同期せずに順序回路の動作が終了するたびに、その終了を外部に知らせるタイミングをとる。非同期式の方が処理速度が早いですが、設計が難しい。

### 3.5 D フリップフロップおよび (同期式) カウンタとはどのような回路が調査し報告せよ。

#### <D フリップフロップ>

D フリップフロップ (FF) とは、期間作用を利用して、1 ビットの情報を記憶できるようにした順序回路である。クロック CK が '1' の間はデータ入力端子 D の値をそのまま出力し、CK が '0' の間は前回の出力を保持する。D-FF は、入力 D の値を次にクロックが '1' になるまで保持したり、パルス幅だけ時間を遅れさせたりできるので、遅延 FF とも呼ばれる。

#### <カウンタ>

カウンタとは、それに入力されたクロックパルスの数を数えて、その数を 2 進数として出力する回路である。このとき、n 個パルスを  $0, 1, 2, \dots, n-1, 0, 1, \dots$  と順に繰り返し数えるカウンタを n 進カウンタという。

### 3.6 本実験について考察せよ。

本実験は加算器、簡単化を用いて、単純に回路をつくるための実験だったと考えられ、複雑な論理式の回路でもより簡単にできるという理解を深めることを目的としていたように感じた。しかし、実験で行ったカルノー図は 5 変数以上の論理関数を計算することは難しい。そのため、クワインーマクラスキー法やクワイン法など、他の方法ももっと理解を深めなくてはならない。

## 参考文献

[1] クワインーマクラスキー法

<http://laputa.cs.shinshu-u.ac.jp/~yizawa/logic/chap5/chap5.html>

[2] 吉田たけお: デジタル回路設計 CQ 出版社