

情報工学実験 1  
汎用ロジック IC によるカウンタの実現

学籍番号 045718D : 翁長絵美、グループ C

実地日 : 平成 17 年 6 月 14 日

実地日 : 平成 17 年 6 月 21 日

共同実験者

沖津 望 : 045717F

小野裕作 : 045719B

狩野 昂 : 045720F

## 1 実験目的

今回の実験では、カウンタを汎用ロジック IC を実現することにより、フリップフロップ (FF) の特性を理解するとともに、カウンタの動作原理および同期式順序回路の設計手順を習得することを目的とする。

## 2 使用した器具

- ダイオード
- ブレッドボード
- 発振器
- 直流電源 (ERS01A)
- IC(TC7474BP)(TC4071BP)(TC4081BP)
- オシロスコープ (5521U)

## 3 報告事項

### 3.1 各実験について結果を報告しなさい。

- (1) 5進同期式カウンタの状態遷移表を描け。

5進同期式カウンタは、最大3ビットを使って表現する。表1に5進同期式カウンタの状態遷移表を示す。

表 1: 5進同期式カウンタの状態遷移表

最初の状態			次の状態		
$Q_2$	$Q_1$	$Q_0$	$Q'_2$	$Q'_1$	$Q'_0$
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0

この図を基に5進同期式カウンタのタイミングチャートを図1に示す。

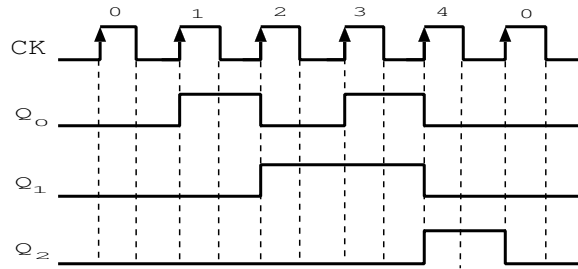


図 1: 5 進同期式カウンタのタイミングチャート

(2) 実験 (1) の結果を用いて、5 進同期式カウンタの状態遷移関数を求めよ。

実験 (1) の結果から、状態遷移関数は以下ようになった。

$$\begin{aligned}
 Q'_2 &= \overline{Q_2} \cdot Q_1 \cdot Q_0 \\
 Q'_1 &= (\overline{Q_2} \cdot \overline{Q_1} \cdot Q_0) + (\overline{Q_2} \cdot Q_1 \cdot \overline{Q_0}) \\
 Q'_0 &= (\overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0}) + (\overline{Q_2} \cdot Q_1 \cdot \overline{Q_0})
 \end{aligned}$$

ここで、状態遷移表に注目してみる。すると、 $\{Q_2, Q_1, Q_0\}$  の入力状態がそれぞれ  $\{1\ 0\ 1\}$   $\{1\ 1\ 0\}$   $\{1\ 1\ 1\}$  の場合が決められていないことがわかる。この3つの部分を Don't Care にして簡単化を行った。図 2, 図 3, 図 4 は  $Q'_2$   $Q'_1$   $Q'_0$  のカルノー図である。

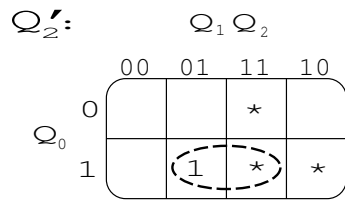


図 2:  $Q'_2$  のカルノー図

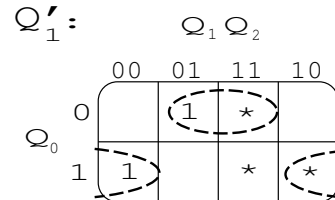


図 3:  $Q'_1$  のカルノー図

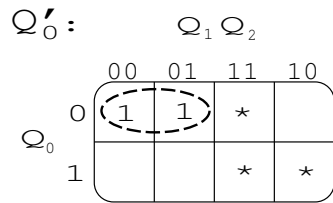


図 4:  $Q'_0$  のカルノー図

図 2、図 3、図 4 より最終的に 5 進同期式カウンタの状態遷移関数は

$$\begin{aligned}
 Q'_2 &= Q_1 \cdot Q_0 \\
 Q'_1 &= (\overline{Q_1} \cdot Q_0) + (Q_1 \cdot \overline{Q_0}) \\
 Q'_0 &= \overline{Q_1} \cdot \overline{Q_0}
 \end{aligned}$$

となった。

(3) 実験 (2) で求めた状態遷移関数をもとに、D-FF を用いた場合の回路図を描け。

ここで、 $Q'_1$  に注目してみると XOR 回路が使えることがわかる。そのことを含めて図 5 に D-FF を用いた 5 進同期式カウンタの回路図を示す。

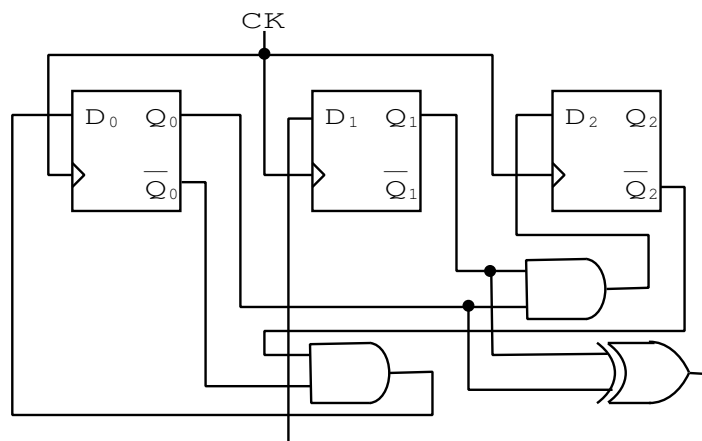


図 5: 5 進同期式カウンタの回路図

(4) 実験 (3) で求めた回路ブレッドボード上に実現し、動作を確認せよ。

始め私たちの班は Dont' Care を使った簡単化を思いつかず、そのままの論理式で回路図を作ってしまった。そのため、ブレッドボード上で実現したときにすごく複雑になってしまい、どこが間違っているのかさえもわからないという状態になってしまった。簡単化を行い、図 5 のようにブレッドボード上に実現してみると、図 1 のような波形をオシロスコープで確認することができた。

### 3.2 実際のデジタル回路においてよく用いられる順序回路に、(メモリ) レジスタやシフトレジスタがある。これらの回路について調査し説明せよ。

#### <メモリレジスタ>

FF 1 つで 1 ビットの情報を記憶できるという性質を利用して、 $n$  個の FF を用いて  $n$  ビットの 2 進数データを記憶する回路を構成する。図 6 は 4 ビットメモリレジスタである書き込み信号 WE を '1' にすると、入力データ  $D_0 \sim D_3$  の状態が各フリップフロップに記憶される。信号 WE を '0' にすると、各フリップフロップはデータを保持する。

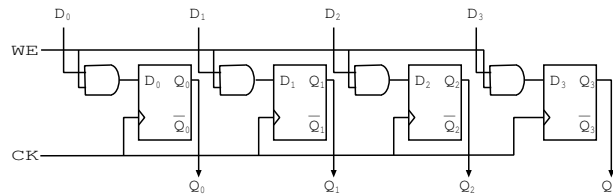


図 6: 4 ビットメモリレジスタ

#### <シフトレジスタ>

メモリレジスタはパラレル (並列) データを入力したが、シフトレジスタはシリアル (直列) データを入力とする。図 7 のように、出力は  $Q_3$  からシリアルデータとして 1 ビットずつ取り出すことができ、各 FF の出力  $Q_0 \sim Q_3$  からパラレルデータとしても取り出すことができる。

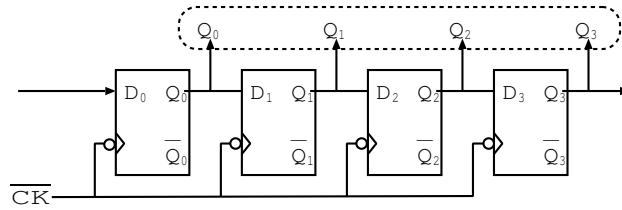


図 7: 4 ビットシフトレジスタ

3.3 JK-FF とはどのような動作をする FF か調査し報告せよ。また、JK-FF を用いて順序回路を設計する方法について調査し説明せよ。さらに、その方法に基づいて、4 進同期式カウンタを JK-FF を用いて設計し、その回路図を示せ。

JK-FF は RS-FF と似ているが、RS-FF と違って  $J=K=1$  のときに出力  $Q$  が反転するという動作をする。(RS-FF は  $R=S=1$  のときは禁止だった。) JK-FF の状態遷移表は表 2 のようになる。

表 2: JK-FF の状態遷移表

入力		現在の状態	次の状態
J	K	Q	$Q_n$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

JK-FF を用いて順序回路を設計するには、 $Q'_i$  のカルノー図の  $Q'_i$  と  $Q_i$  の値に着目し、以下の要領で  $J_i$ 、 $K_i$  のカルノー図を作成すればよい。

- 入力  $J_i$  のカルノー図:  $Q'_i$  のカルノー図において、
  - (1)  $Q_i = 0$  で  $Q'_i = 1$  となっているマスをもっと '1' とする。
  - (2)  $Q_i = 1$  で  $Q'_i = 0$  となっているマスおよび  $Q_i = 1$  で  $Q'_i = 1$  となっているマスをドンドケア\*\* とする。

- 入力  $K_i$  のカルノー図:  $Q'_i$  のカルノー図において、
  - (1)  $Q_i = 1$  で  $Q'_i = 0$  となっているマスをも '1' とする。
  - (2)  $Q_i = 0$  で  $Q'_i = 0$  となっているマスおよび  $Q_i = 0$  で  $Q'_i = 1$  となっているマスをドンドケア'\*' とする。

そして、そのカルノー図から論理式を求め回路を設計することができる。

この方法で4進同期式カウンタを JK-FF を用いて設計する。4進同期式カウンタの状態遷移表は実験指導書の p.38 ~ p.39 の説明より表3のようになる。

表 3: 状態割り当て後の4進カウンタの状態遷移表

現状態		次状態 $Q'_1$ $Q'_0$		出力 Y	
$Q_1$	$Q_0$	入力 X		入力 X	
		0	1	0	1
0	0	0	0	0	0
0	1	0	1	0	0
1	0	1	0	0	0
1	1	1	1	0	1

表3を参考にカルノー図を上記の手順に適用すると図8, 図9のようになる。

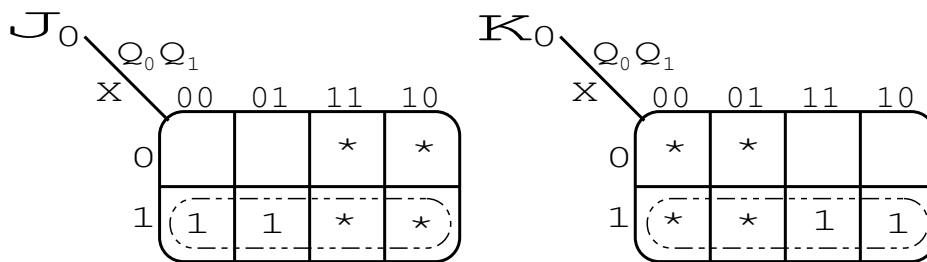


図 8: FF0 の入力  $J_0$   $K_0$  のカルノー図

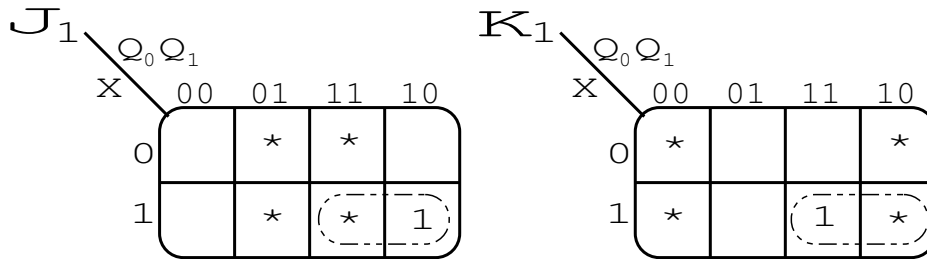


図 9: FF1 の入力  $J_1$   $K_1$  のカルノー図

図 8, 図 9 より、

$$J_0 = X$$

$$K_0 = X$$

$$J_1 = X \cdot Q_0$$

$$K_1 = X \cdot Q_0$$

という式が得られる。また、状態遷移表より、

$$Y = Q_0 \cdot Q_1$$

と出力  $Y$  の値も求めることができ、これらを使うと図 10 のような回路図を設計することができる。

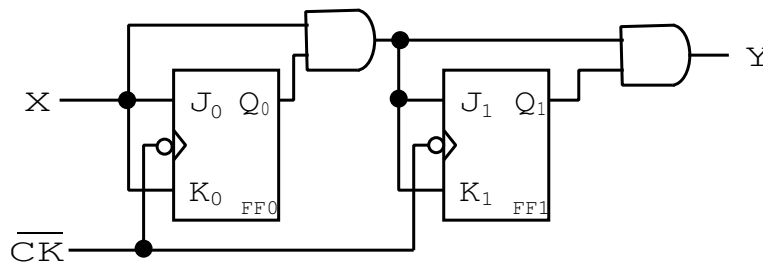


図 10: 4 進同期式カウンタの JK-FF による実現

### 3.4 実際のデジタル回路のほとんどは同期式順序回路である。 この理由について考察せよ。

非同期式順序回路はクロックに影響されずに回路の動作が終了する度に、その終了を外部に知らせることによりタイミングをとる。そのため、同期式



順序回路より処理速度は速いが、非同期式の組織的な設計は確率されておらず、未だ研究段階となっている。また、非同期式は全てのFF、ラッチ、レジスタなどのタイミングを検討する必要があり、設計が非常に難しいため同期式順序回路の設計が行われることの方が多い。

### 3.5 加算を高速に行える加算器の一つにキャリールックアヘッド方式の加算器がある。キャリールックアヘッド方式の加算器とは、どのような加算器か調査し説明せよ。

キャリールックアヘッド方式とは、桁上げ先見方式と呼ばれている。キャリールックアヘッド方式を採用した並列加算器は、1サイクルで73ビットの2数の加算減を行うことができる。また、その他浮動小数点演算、乗算、除算の演算にも高速化することができる。

### 3.6 本実験について考察せよ。

今回の実験は、カウンタの理解をより深いものにした。いままで曖昧であったドンドケアを具体的に実践することができ、またそれにより回路をより簡単に行うことができるということを学ぶことができた。今回 JK-FF の設計の仕方の理解に手間取ってしまったので、もう一度試すなどして自分のものにできるようにしたい。また、JK-FF から回路図を設計するときに状態遷移表は自分なりによりわかり易く書いた方がいいということをよく理解した。

## 参考文献

- [1] レジスタ  
<http://laputa.cs.shinshu-u.ac.jp/~yizawa/logic/chap5/chap5.html>
- [2] フリップフロップ  
<http://laputa.cs.shinshu-u.ac.jp/~yizawa/logic/chap10/chap10.html>
- [3] 吉田たけお: デジタル回路設計 CQ 出版社