

CAD

-report1-

055702B

池野谷克俊

2006年11月14日 火曜日

1 課題

(1) オーバーフローのチェック

上記実習の例では2つの4ビット入力を加算して5ビット出力を出力しているが、入出力すべて4ビットに改造し、

```
S <= ('0' & A) + ('0' & B);
```

の部分

```
S <= A + B;
```

のように変更した場合、たとえばA=15、B=15ではSは4ビットでは表示できない値になる。実際にSが4ビット幅の場合Sの値はどうか？

(2) ビット幅変更による回路の変化

上記実習の例を8ビット入力+8ビット入力=9ビット出力になるように改造し、SCIROCCOで動作確認を行い、速度最速の回路合成を行え。レポートには以下の内容を含むこと

- A=255、B=255の時のシミュレーション波形
- 速度最速で実現した回路図
- その回路の面積と速度

2 解答

(1) オーバーフローのチェック

以下の図はadder4を変更したもののシミュレーション波形である。

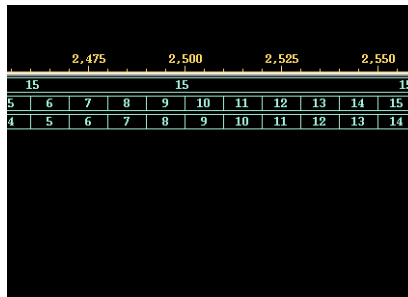


図 1: シミュレーション波形

この結果から分かるように、出力が 5bit になる場合にオーバーフローをおこして本来あるべき最上位 bit を無視した出力をしている。

また変更前と変更後の回路面積は以下のようになった。

変更前 (通常の回路)

```
design_analyzer> Information: Updating design information... (UID=85)
*****
Report : area
Design : R0BER4
Version: 2003.06
Date   : Sun Nov 12 19:34:21 2006
*****
Library(s) Used:
  class (File: /usr/local/synopsys/U-2003.06-dc/libraries/syn/class.db)

Number of ports:      13
Number of nets:       24
Number of cells:      16
Number of references: 10

Combinational area:  34,000000
Noncombinational area: 0,000000
Net Interconnect area: undefined (Wire load has zero net area)

Total cell area:     34,000000
Total area:          undefined
1
```

変更後 (通常の回路)

```
design_analyzer> Information: Updating design information... (UID=85)
*****
Report : area
Design : R0BER4_of
Version: 2003.06
Date   : Sun Nov 12 19:38:03 2006
*****
Library(s) Used:
  class (File: /usr/local/synopsys/U-2003.06-dc/libraries/syn/class.db)

Number of ports:      12
Number of nets:       22
Number of cells:      14
Number of references:  9

Combinational area:  30,000000
Noncombinational area: 0,000000
Net Interconnect area: undefined (Wire load has zero net area)

Total cell area:     30,000000
Total area:          undefined
1
```

変更前 (速度最速の回路)

```
design_analyzer> Information: Updating design information... (UID=85)
*****
Report : area
Design : R0BER4
Version: 2003.06
Date   : Sun Nov 12 19:35:58 2006
*****
Library(s) Used:
  class (File: /usr/local/synopsys/U-2003.06-dc/libraries/syn/class.db)

Number of ports:      13
Number of nets:       60
Number of cells:      52
Number of references:  8

Combinational area:  79,000000
Noncombinational area: 0,000000
Net Interconnect area: undefined (Wire load has zero net area)

Total cell area:     79,000000
Total area:          undefined
1
```

変更後 (速度最速の回路)

```
design_analyzer> Information: Updating design information... (UID=85)
*****
Report : area
Design : R0BER4_of
Version: 2003.06
Date   : Sun Nov 12 19:40:37 2006
*****
Library(s) Used:
  class (File: /usr/local/synopsys/U-2003.06-dc/libraries/syn/class.db)

Number of ports:      12
Number of nets:       38
Number of cells:      28
Number of references:  7

Combinational area:  50,000000
Noncombinational area: 0,000000
Net Interconnect area: undefined (Wire load has zero net area)

Total cell area:     50,000000
Total area:          undefined
1
```

結果より、いずれの場合も変更後の方が回路面積が小さくなっている。

(2) ビット幅変更による回路の変化

以下の図は、上記実習の例を 8 ビット入力+8 ビット入力 = 9 ビット出力になるように改造し、SCIROCCO で動作確認を行い、速度最速の回路合成を行った結果である。

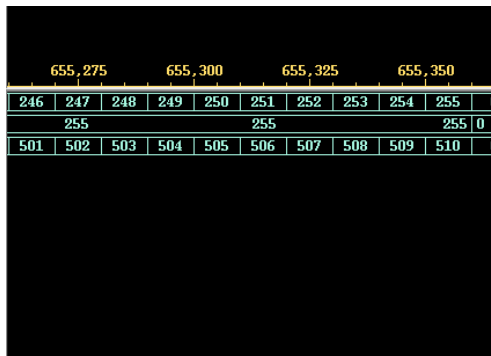


図 2: A=255,B=255 のシミュレーション波形

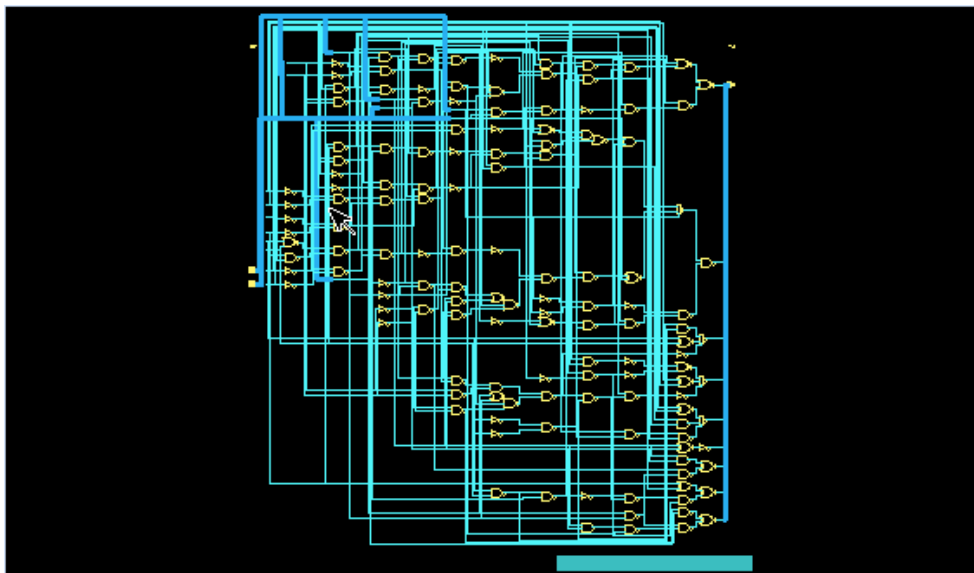


図 3: 速度最速で実現した回路図

```

*****
Report : area
Design : ADDER8/add_13/plus/plus (ADDER8_DW01_add_9_0)
Version: 2003.06
Date   : Sun Nov 12 22:27:23 2006
*****
:
Library(s) Used:
  class (File: /usr/local/synopsys/U-2003.06-dc/libraries/syn/class.db)

Number of ports:      29
Number of nets:      151
Number of cells:     135
Number of references: 13
|
Combinational area:  188,000000
Noncombinational area: 0,000000
Net Interconnect area: undefined (Wire load has zero net area)
|
Total cell area:     188,000000
Total area:          undefined
1
design_analyzer>
*****

```

図 4: 回路の面積

```

*****
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : ADDER8
Version: 2003.06
Date   : Sun Nov 12 22:27:23 2006
*****
:
Operating Conditions:
Wire Load Model Mode: top
|
  Startpoint: B[5] (input port)
  Endpoint: S[7] (output port)
  Path Group: default
  Path Type: max

Des/Clust/Port   Wire Load Model   Library
-----
ADDER8          05x05             class

Point                                     Incr   Path
-----

```

図 5: 回路の速度