

CAD  
-report2-

055702B

池野谷克俊

2006年 11月 21日 火曜日

## 1 宿題 2-1

### 1.1 問題

- 実習 1 の comb.vhd を case 文ではなく、if 文を用いた記述に変更する。
- VHDL シミュレータでデバッグする。

下記の内容を含むレポートを提出する。

- 自分で作成した VHDL 記述、comb.vhd
- VSS での正常動作波形

### 1.2 解答

- comb.vhd

```
library IEEE;
use IEEE.std_logic_1164.all;

entity COMB is
    port ( A, B, C : IN  std_logic;
           F, G   : OUT std_logic );
end COMB;

architecture RTL of COMB is
    signal INDATA : std_logic_vector (2 downto 0);
    signal OUTDATA : std_logic_vector (1 downto 0);
begin

    INDATA <= A & B & C;
    F <= OUTDATA(0);
    G <= OUTDATA(1);

    process(INDATA) begin

        if(INDATA = "000")then
            OUTDATA <= "01";
        elsif(INDATA = "001")then
            OUTDATA <= "00";
        end if;
    end process;
end architecture;
```

```

elseif(INDATA = "010")then
    OUTDATA <= "01";
elseif(INDATA = "011")then
    OUTDATA <= "01";
elseif(INDATA = "100")then
    OUTDATA <= "01";
elseif(INDATA = "101")then
    OUTDATA <= "00";
elseif(INDATA = "110")then
    OUTDATA <= "11";
elseif(INDATA = "111")then
    OUTDATA <= "11";
else
    OUTDATA <= "XX";
end if;
end process;

end RTL;

```

- 正常動作波形

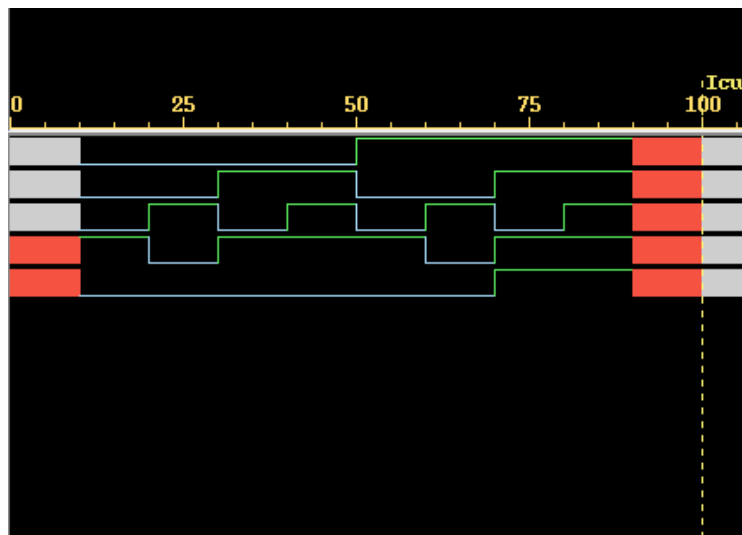


図 1: 波形

## 2 宿題 2-2

### 2.1 問題

下記の内容を含むレポートを提出する。

- 自分で作成した VHDL 記述、3\_6dec.vhd
- VSS での正常動作波形
- 制約なしでの回路図、面積、クリティカルパス遅延、クリティカルパスの入力ピンと出力ピン
- 速度最小での回路図、面積、クリティカルパス遅延、クリティカルパスの入力ピンと出力ピン

### 2.2 解答

- 3\_6dec.vhd

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity DECODER3_6 is
    port ( En      : in   std_logic;
          A       : in   std_logic_vector(2 downto 0);
          Y       : out  std_logic_vector(5 downto 0));
end entity DECODER3_6;

architecture COND_DATA_FLOW of DECODER3_6 is

begin

-- USE BOTH if and case
-- HERE, WRITE YOUR OWN DESCRIPTIOPN!
process(En,A)begin

    if( En = '0' )then
        Y <= "000000";
    elsif( En = '1' )then
```

```

case A is
  when "000" => Y <= "000001";
  when "001" => Y <= "000010" ;
  when "010" => Y <= "000100" ;
  when "011" => Y <= "001000" ;
  when "100" => Y <= "010000" ;
  when "101" => Y <= "100000" ;
  when "110" => Y <= "000000" ;
  when "111" => Y <= "000000" ;
  when others => Y <= "XXXXXX";
end case;

else
  Y <= "XXXXXX";
end if;
end process;

end architecture COND_DATA_FLOW;

```

多ビットの時は"000"のようにダブルクォーテーションで囲むが1ビットの時は'0'のようにシングルクォーテーションで囲まなければならない。

- 正常動作波形

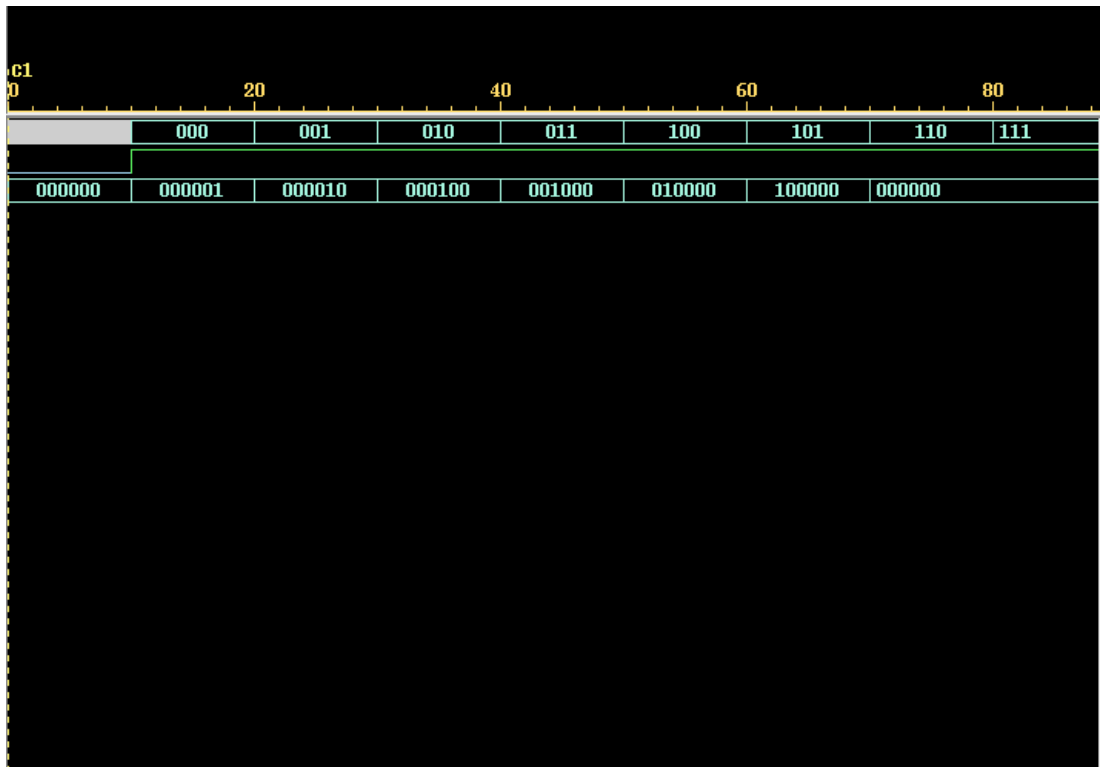


图 2: 波形

- 制約なしでの回路図、面積、クリティカルパス遅延、クリティカルパスの入カピンと出力ピン

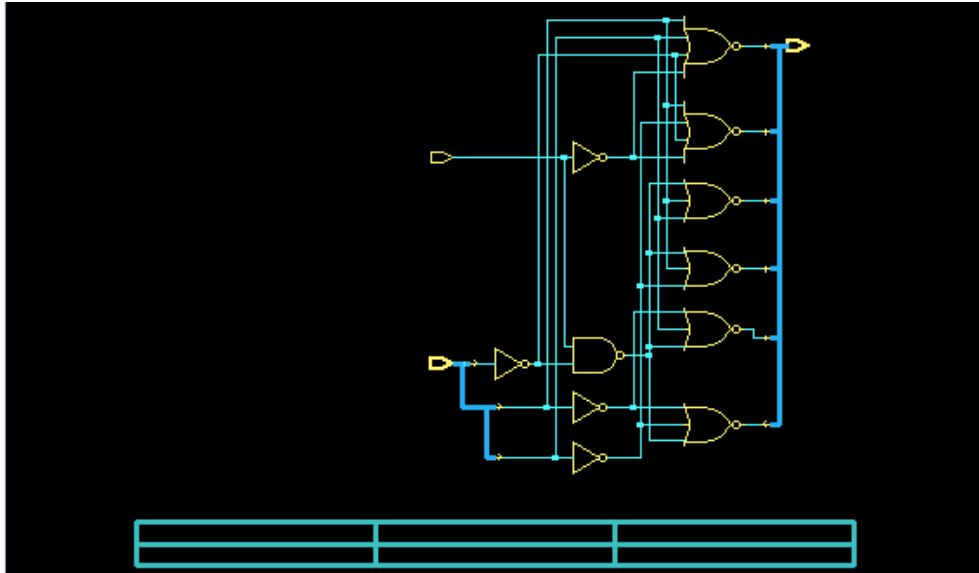


図 3: 制約なしの回路図

```

*****
Report : area
Design : DECODER3_6
Version: 2003.06
Date   : Wed Nov 15 23:55:58 2006
*****

Library(s) Used:

      class (File: /usr/local/synopsys/U-2003.06-dc/libraries/syn/class.db)

Number of ports:      10
Number of nets:      15
Number of cells:     11
Number of references:  4

Combinational area:  17.000000
Noncombinational area: 0.000000
Net Interconnect area: undefined (Wire load has zero net area)

Total cell area:     17.000000
Total area:         undefined
1
design_analyzer> report_timing -path full -delay max -max_paths 1 -nworst 1

*****
Report : timing
       -path full
       -delay max
       -max_paths 1
Design : DECODER3_6
Version: 2003.06
Date   : Wed Nov 15 23:55:58 2006
*****

```

Operating Conditions:  
Wire Load Model Mode: top

Startpoint: A[2] (input port)  
Endpoint: Y[3] (output port)  
Path Group: (none)  
Path Type: max

Des/Clust/Port	Wire Load Model	Library	
DECODER3_6	05x05	class	
Point	Incr	Path	
input external delay	0.00	0.00	f
A[2] (in)	0.00	0.00	f
U17/Z (IV)	0.92	0.92	r
U19/Z (ND2)	0.55	1.48	f
U12/Z (NR3)	0.96	2.44	r
Y[3] (out)	0.00	2.44	r
data arrival time		2.44	

(Path is unconstrained)

1  
design\_analyzer>

面積:17  
クリティカルパス遅延:2.44  
クリティカルパスの入力ピン:A[2]  
クリティカルパスの出力ピン:Y[3]  
となった。



- 速度最小での回路図、面積、クリティカルパス遅延、クリティカルパスの入カピンと出力ピン

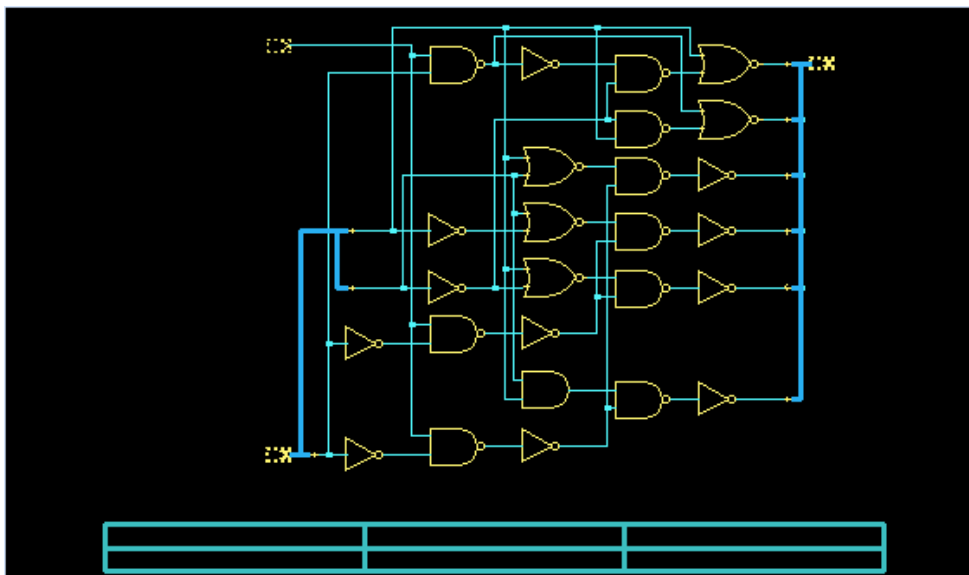


図 4: 速度最小での回路図

```

*****
Report : area
Design : DECODER3_6
Version: 2003.06
Date   : Thu Nov 16 00:14:50 2006
*****

Library(s) Used:

    class (File: /usr/local/synopsys/U-2003.06-dc/libraries/syn/class.db)

Number of ports:      10
Number of nets:       30
Number of cells:      26
Number of references:  5

Combinational area:   33.000000
Noncombinational area: 0.000000
Net Interconnect area: undefined (Wire load has zero net area)

Total cell area:      33.000000
Total area:           undefined
1
design_analyzer> report_timing -path full -delay max -max_paths 1 -nworst 1

*****
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : DECODER3_6
Version: 2003.06
Date   : Thu Nov 16 00:14:50 2006
*****

```

Operating Conditions:  
Wire Load Model Mode: top

Startpoint: A[2] (input port)  
Endpoint: Y[0] (output port)  
Path Group: default  
Path Type: max

Des/Clust/Port	Wire Load Model	Library		
DECODER3_6	05x05	class		
Point		Incr		Path
input external delay		0.00	0.00	f
A[2] (in)		0.00	0.00	f
U25/Z (IVI)		0.24	0.24	r
U26/Z (ND2I)		0.12	0.36	f
U29/Z (IVI)		0.29	0.66	r
U45/Z (ND2I)		0.12	0.78	f
U46/Z (IVI)		0.20	0.97	r
Y[0] (out)		0.00	0.97	r
data arrival time			0.97	
max_delay		0.00	0.00	
output external delay		0.00	0.00	
data required time			0.00	
data required time			0.00	
data arrival time			-0.97	
slack (VIOLATED)			-0.97	

1  
design\_analyzer>

面積:33

クリティカルパス遅延:0.97

クリティカルパスの入力ピン:A[2]

クリティカルパスの出力ピン:Y[0]

となった。

制約なしの場合より面積は増えた。これは回路で使うパーツが増えたからである。ただし制約なしの場合より使うパーツが性能の高いものであるのでクリティカルパス遅延は少なくなる。