

情報工学実験 I
実験 3-汎用ロジック IC によるカウン
タの実現-

レポート作成者: 055702B 池野谷克俊

共同実験者: 055730H 新垣大志

055752J 比嘉安史

035710D 内間新祐

実験実施日: 2006 年 6 月 16 日 金曜日

提出日: 2006 年 6 月 30 日 金曜日

1 実験目的

本実験では, カウンタを汎用ロジック IC を用いて実現することにより, フリップフロップ (FF) の特性を理解するとともに, カウンタの動作原理および同期式順序回路の設計手順を習得することを目的とする.

2 実験概要

まず, D-FF の構造や動作について学び, それを用いた 3 進カウンタの設計の仕方や動作などを学んだ. 次に, D-FF を用いた 5 進カウンタを実現するためにタイミングチャートを書き, そこから状態遷移表を作成した. さらに, 状態遷移表から論理関数を求めカルノー図を用いて論理関数を簡単化し, 回路図を作成した. その後, ブレッドボード上に回路を設計するために, オシロスコープと直流電源に加え, 今回はクロックの波形を用いるために, 発振器の設定を行った. 最後に XOR, AND, D-FF を用いて 5 進カウンタを実現した.

3 実験結果

3.1 実験結果 (1) の結果について

1. 5 進同期式カウンタの状態遷移表を示せ.

Q_2	Q_1	Q_0	Q'_2	Q'_1	Q'_0
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0

2. 状態遷移表から, 5 進同期式カウンタの状態遷移関数を求めよ.

状態遷移表より,

$$\begin{aligned} Q'_0 &= D_0 = \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0} + \overline{Q_2} \cdot Q_1 \cdot \overline{Q_0} \\ &= \overline{Q_2} \cdot \overline{Q_0} (\overline{Q_1} + Q_1) \\ &= \overline{Q_2} \cdot \overline{Q_0} \end{aligned}$$

$$\begin{aligned} Q'_1 &= D_1 = \overline{Q_2} \cdot \overline{Q_1} \cdot Q_0 + \overline{Q_2} \cdot Q_1 \cdot \overline{Q_0} \\ &= \overline{Q_2} (\overline{Q_1} \cdot Q_0 + Q_1 \cdot \overline{Q_0}) \end{aligned}$$

3 進カウンタを設計してみた.

Q_1	Q_0	Q'_1	Q'_0
0	0	0	1
0	1	1	0
1	0	0	0

状態遷移図

$$Q'_0 = \overline{Q_1} \cdot \overline{Q_0}$$

$$Q'_1 = \overline{Q_1} \cdot Q_0$$

ここで, ドントケアを用いると,

$$Q'_1 = Q_0$$

となる.

ドントケアを用いることができるのは, $2^n - 1$ 進カウンタを設計する場合である.

- ドントケアを利用した場合と利用しない場合で, 状態遷移関数にどのような差異が生じるか考察せよ.

ドントケアを用いると, 出力が $Q'_n, Q'_{n-1}, \dots, Q'_2, Q'_1$ の場合だと, Q'_n の状態遷移関数が簡単化できる.

4.2 その他の考察について

5 調査課題

- 実際のデジタル回路においてよく用いられる順序回路に, (メモリ) レジスタやシフトレジスタがある. これらの回路について調査し説明せよ.

- (メモリ) レジスタ

n ビットのデータを一時的に記憶する回路をレジスタと呼び, 記憶するデータを入力, 出力するための組み合わせ回路をもっているレジスタをメモリレジスタという.

- シフトレジスタ

シフトレジスタとはレジスタの一種で, シフト・パルスが与えられるたびに内容が 1 桁ずつ移動する. シフト方向によって右シフト型, 左シフト型, 左右シフト型がある. また, データの入出力方法によって, パラレル型とシリアル型に分けられる.

シフトレジスタは単にデータを蓄えるだけでなく, 次の様な機能を持つ.

- 直列データから並列データへの変換, またはその逆の変換.
- 信号の遅延
- 乗算および除算

(b) 高機能な FF に JK-FF がある. JK-FF を用いると, D-FF や他の FF を簡単に実現できる. JK-FF とはどのような動作をする FF か調査し報告せよ. また, JK-FF を用いて順序回路を設計する方法について調査し説明せよ (ただし, JK-FF で D-FF を実現する方法は不可). さらに, その方法に基づいて, 4 進同期式カウンタを JK-FF を用いて設計し, その回路図を示せ.

JK-FF とは, クロックの有効なエッジの際に J 入力のアサートされた場合には内部状態がセットされ, 同じく K 入力のアサートされた場合には内部状態がリセットされるような特性を持つフリップフロップである.

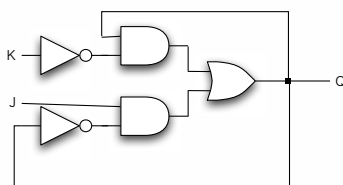


図 2: JK-FF

入力		現在の状態	次の状態
J	K	Q	Q'
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

図 3: JK-FF の遷移表

JK-FF ($FF_i, i=0, 1, \dots, n-1$) を用いて回路を作成するには, 現状態を Q_i , 次の状態を Q'_i とし, 次の表の条件を満たす必要がある.

Q_i	Q'_i	S_i	R_i
0	0	0	*
0	1	1	*
1	0	*	1
1	1	*	0

JK-FF への入力, J_i, K_i が上の表の条件を満たすには, Q'_i のカルノー図の Q'_i と Q_i に注目し, 以下の要領で J_i, K_i のカルノー図を作成すればよい.

- 入力 J_i のカルノー図: Q'_i において
 1. $Q_i = 0, Q'_i = 1$ となっているマスに 1 とする.
 2. $Q_i = 0, Q'_i = 0$ となっているマスに 0 とする.
 3. $Q_i = 1, Q'_i = 0$ および $Q_i = 1, Q'_i = 1$ となっているマスに ドントケア (*) とする.
- 入力 K_i のカルノー図: Q'_i において
 1. $Q_i = 1, Q'_i = 0$ となっているマスに 1 とする.
 2. $Q_i = 1, Q'_i = 1$ となっているマスに 0 とする.
 3. $Q_i = 0, Q'_i = 0$ および $Q_i = 0, Q'_i = 1$ となっているマスに ドントケア (*) とする.

以上の方法に基づいて作成した, 4 進同期式カウンタは次のようになる.

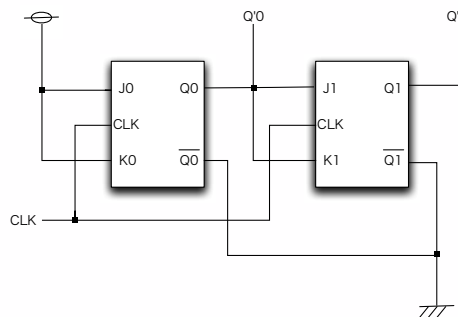


図 4: 4 進同期式カウンタ

- (c) 実際のデジタル回路のほとんどは同期式順序回路である。この理由について考察せよ。

段数が多い非同期式カウンタは、クロック周波数が高くなると、遅延時間が無視できなくなり、ハザードを含む様々な問題が発生する可能性がある。このため実際のデジタル回路のほとんどは同期式順序回路となっている。

6 感想

今回の講義で1年のときに分からなかった、フリップフロップやカウンタについて理解できたので、非常によかった。ただ、ブレッドボード上に5進カウンタを設計する時に、一カ所でも間違えたら、どこがおかしいか非常に分かりづらいということで、かなりビビりながら回路を設計したので、とても疲れた。でも、ちゃんと設計できたので良かった。

参考文献

- [1] 用語検索 シフトレジスタ
<http://www.cqpub.co.jp/term/shiftregister.htm>
- [2] カウンタ回路 (非同期式)
<http://laputa.cs.shinshu-u.ac.jp/~yizawa/logic2/chap4/index.html>