

HW2

氏名：津波古正輝

学籍番号：e075739A

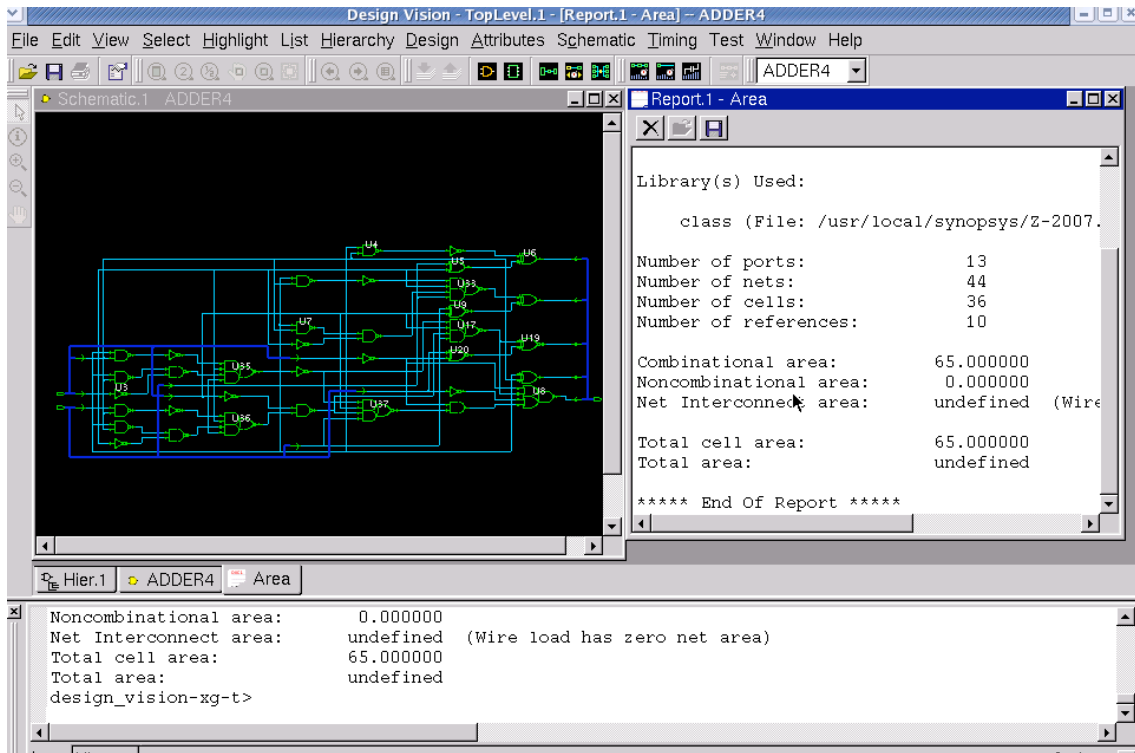
提出日：11/16(日曜日)

1) [オーバーフローのチェック]

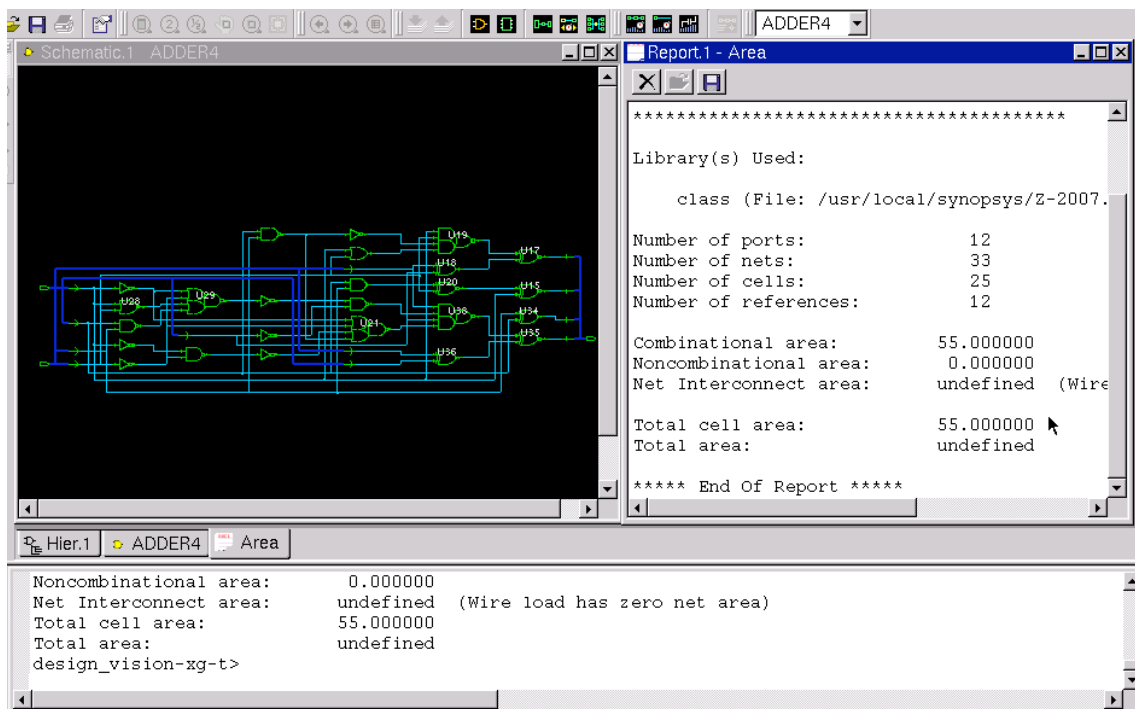
上記実習の例では2つの4ビット入力を加算して5ビット出力を出力しているが、入出力すべて4ビットに改造し、 $S \leftarrow ('0' \& A) + ('0' \& B);$ の部分を $S \leftarrow A + B;$ のように変更した場合、たとえば $A=15$ 、 $B=15$ では S は4ビットでは表示できない値になる。実際に S が4ビット幅の場合 S の値はどうなるか？上記改造前と後で回路面積がどのように変化したか調べよ。

S の値：オーバーフローが起こり、最上位ビットがないので、 $15+1$ の計算が $=0$ となっていた。その他の計算も同じである。

回路面積：4ビット入力5ビット出力は面積が65、4ビット入力4ビット出力は面積が55となっていた。次ページに図を示す。



図：4ビット入力5ビット出力

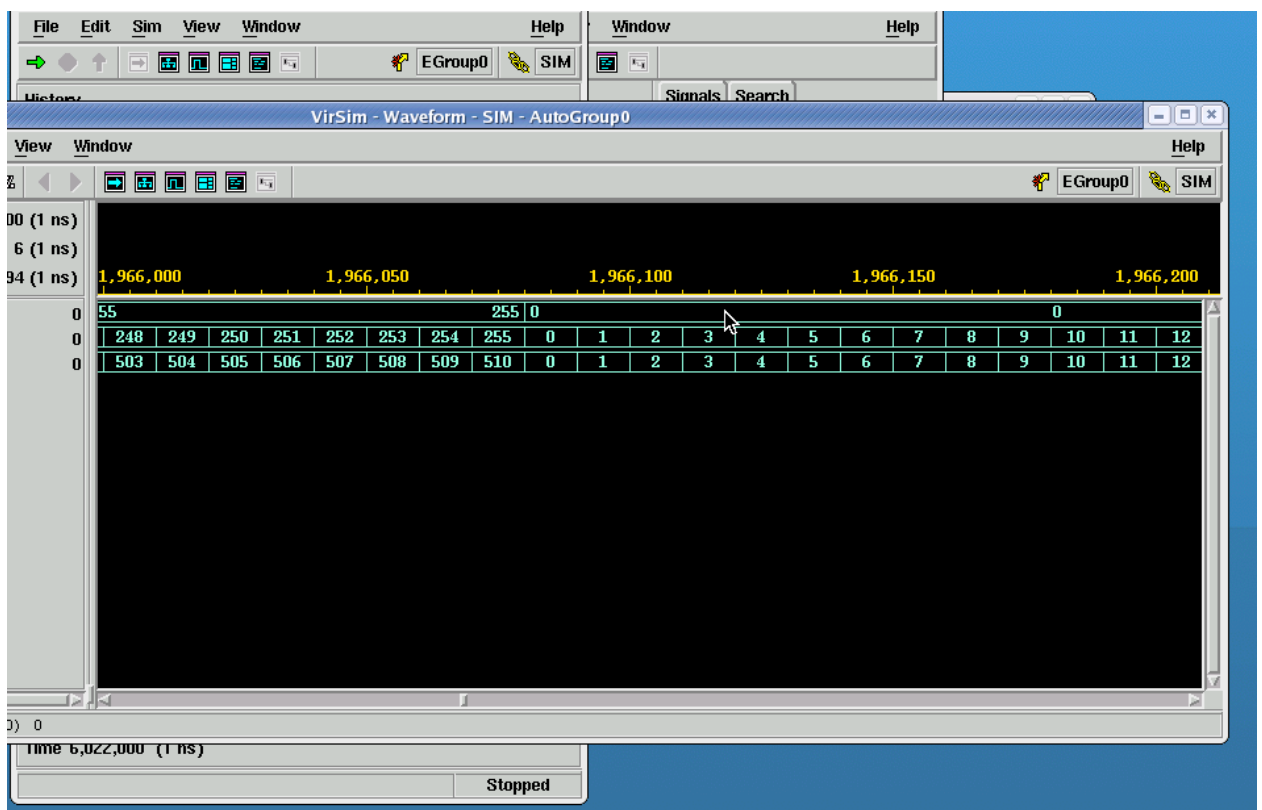


図：4ビット入力4ビット出力

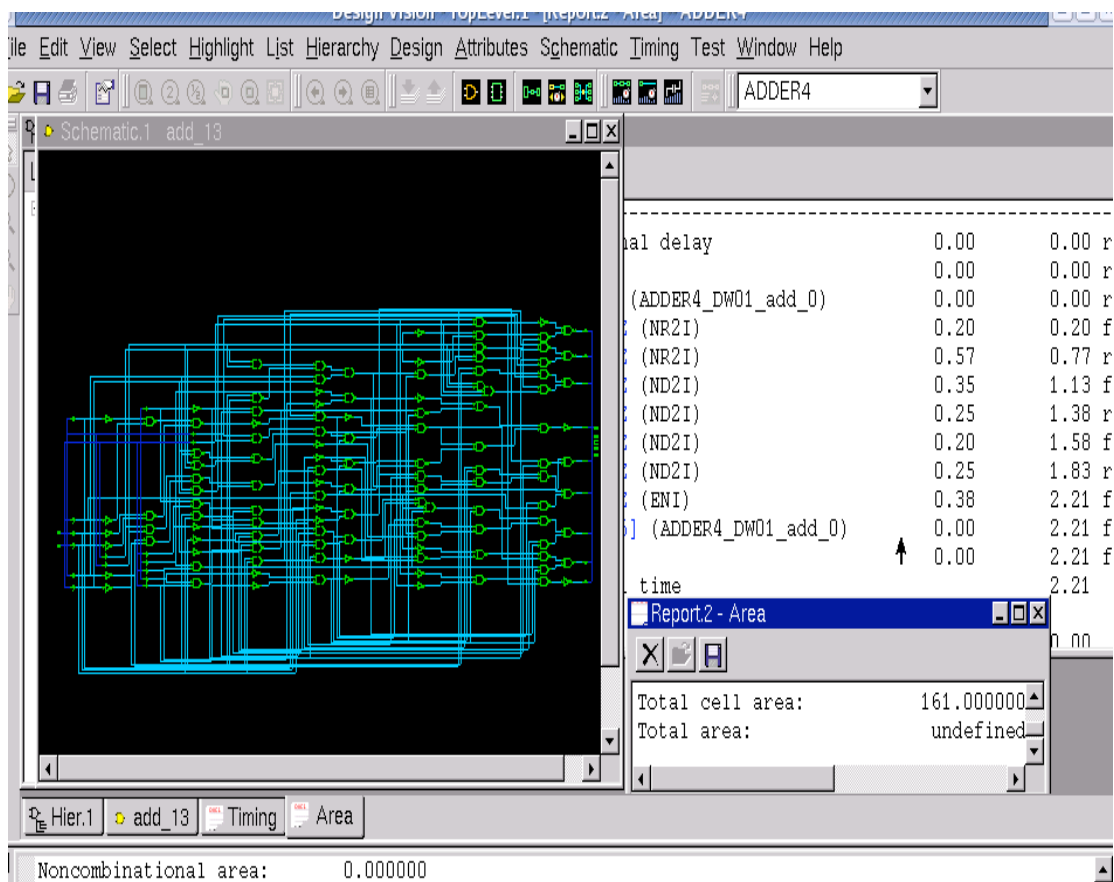
2) [ビット幅変更による回路の変化]

上記実習の例を8ビット入力+8ビット入力=9ビット出力になるように改造し、SCIROCCOで動作確認を行い、速度最速の回路合成を行え。レポートには以下の内容を含むこと。

A=255、B=255の時のシミュレーション波形、速度最速で実現した回路図、その回路の面積と速度



図：A=255、B=255の時のシミュレーション波形



図：速度最速で実現した回路図とその回路の面積と速度