

# HW3

氏名：津波古正輝

学籍番号：075739A

提出日：11月25日(火)

## HW3-1 WEBCLASSに提出

- \* 実習1のcomb.vhdを case 文ではなく、if 文を用いた記述に変更する。
- \* SCIROCCOシミュレータでデバッグする。

下記の内容を含むレポートを提出する。

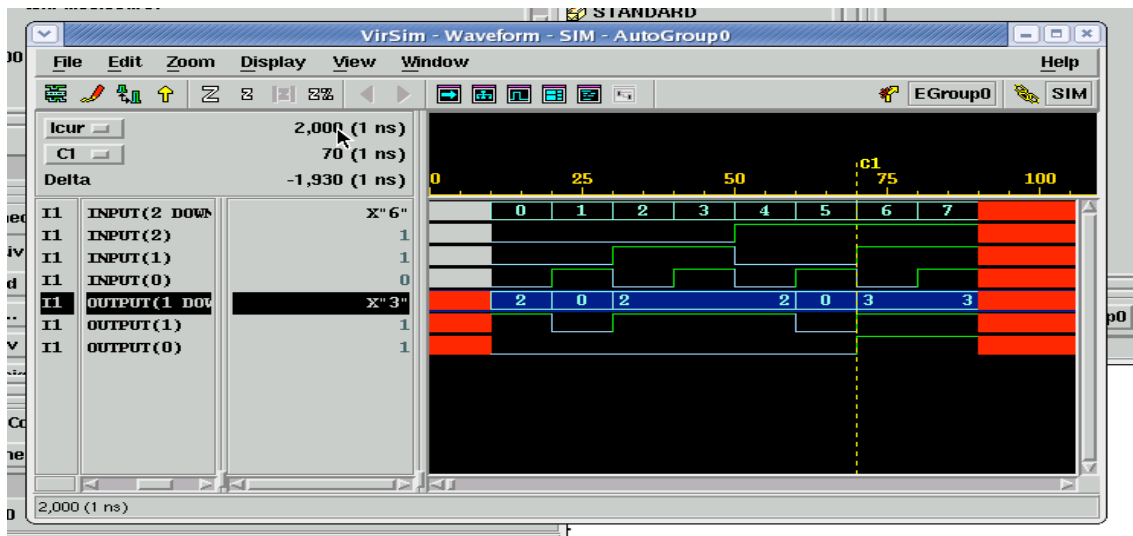
- \* 自分で作成したVHDL記述、comb.vhd
- \* SCIROCCOでの正常動作波形
- \* 制約なしでの回路図、面積、クリティカルパス遅延、クリティカルパスの入カピンと出カピン

速度最小での回路図、面積、クリティカルパス遅延、クリティカルパスの入カピンと出カピン

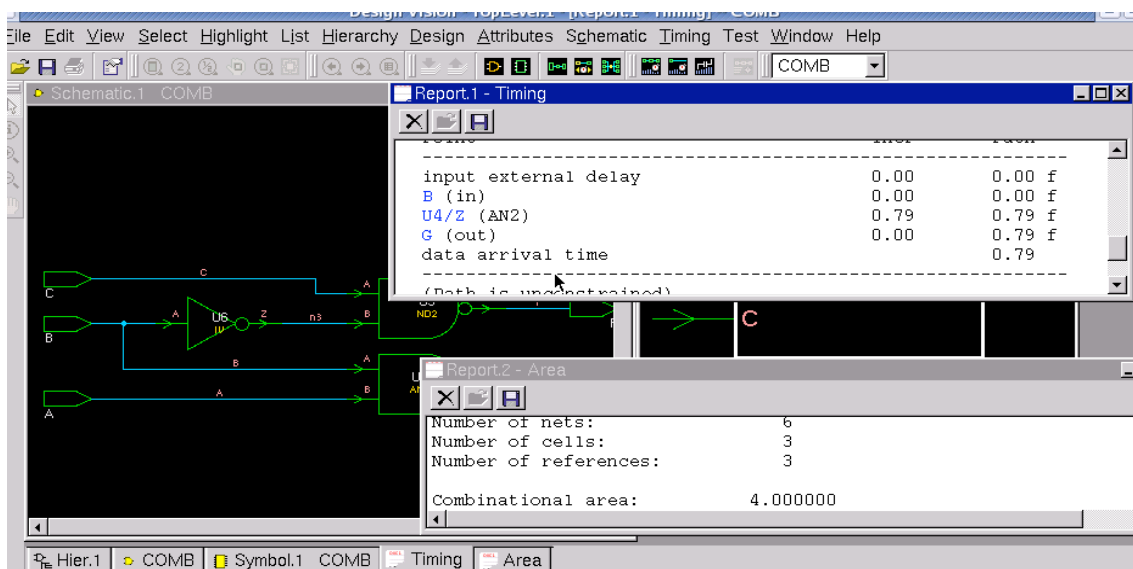
## 作成した comb.vhd

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;
entity COMB is
    port ( A, B, C : IN  std_logic;
          F, G     : OUT std_logic );
end COMB;
architecture RTL of COMB is
    signal INDATA : unsigned (2 downto 0);
    signal OUTDATA : unsigned (1 downto 0);
begin
INDATA <= A & B & C;
F <= OUTDATA(0);
G <= OUTDATA(1);

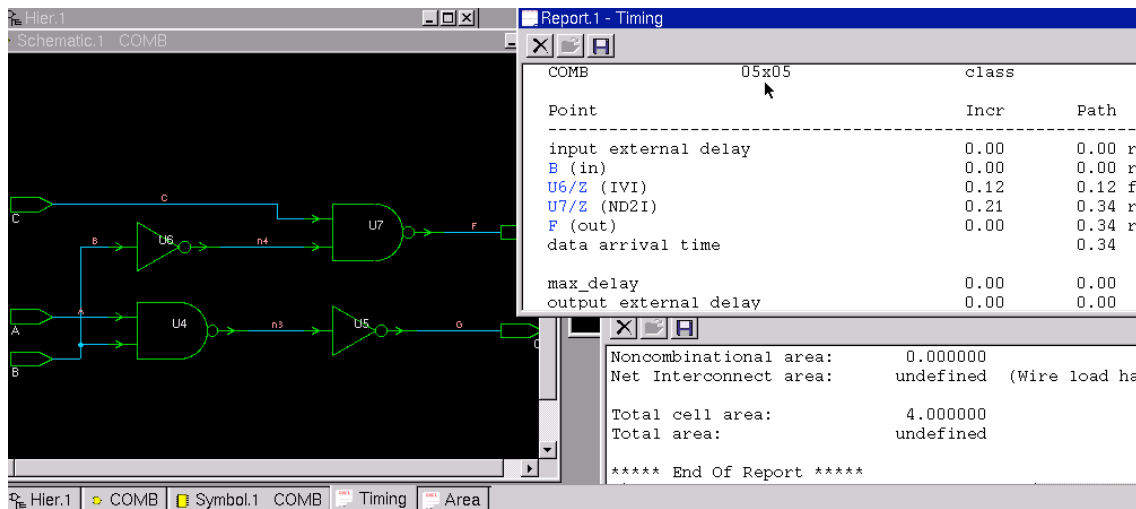
process(INDATA) begin
    case INDATA is
        when "000" => OUTDATA <= "01";
        when "001" => OUTDATA <= "00";
        when "010" => OUTDATA <= "01";
        when "011" => OUTDATA <= "01";
        when "100" => OUTDATA <= "01";
        when "101" => OUTDATA <= "00";
        when "110" => OUTDATA <= "11";
        when "111" => OUTDATA <= "11";
        when others => OUTDATA <= "XX";
    end case;
end process;
end RTL;
```



図：正常波形



図：制約なし(面積、クリティカルパス遅延、クリティカスパスの入カピンと出カピン)  
面積 4,クリティカルパス遅延 0.79



図：制約あり(面積、クリティカルパス遅延、クリティカスパスの入カピンと出カピン)  
面積 4,クリティカルパス遅延 0.34

# HW3

氏名：津波古正輝

学籍番号：075739A

提出日：11月25日(火)

HW3-2 イネイブルつき3-6デコーダ WEBCLASSに提出

\* 以下の仕様のイネイブルつき3-6デコーダをVHDLにて設計し、回路を合成する。

下記の内容を含むレポートを提出する。

\* 自分で作成したVHDL記述、3\_6dec.vhd

\* SICROCCOでの正常動作波形

\* 制約なしでの回路図、面積、クリティカルパス遅延、クリティカルパスの入カピンと出カピン

速度最小での回路図、面積、クリティカルパス遅延、クリティカルパスの入カピンと出カピン

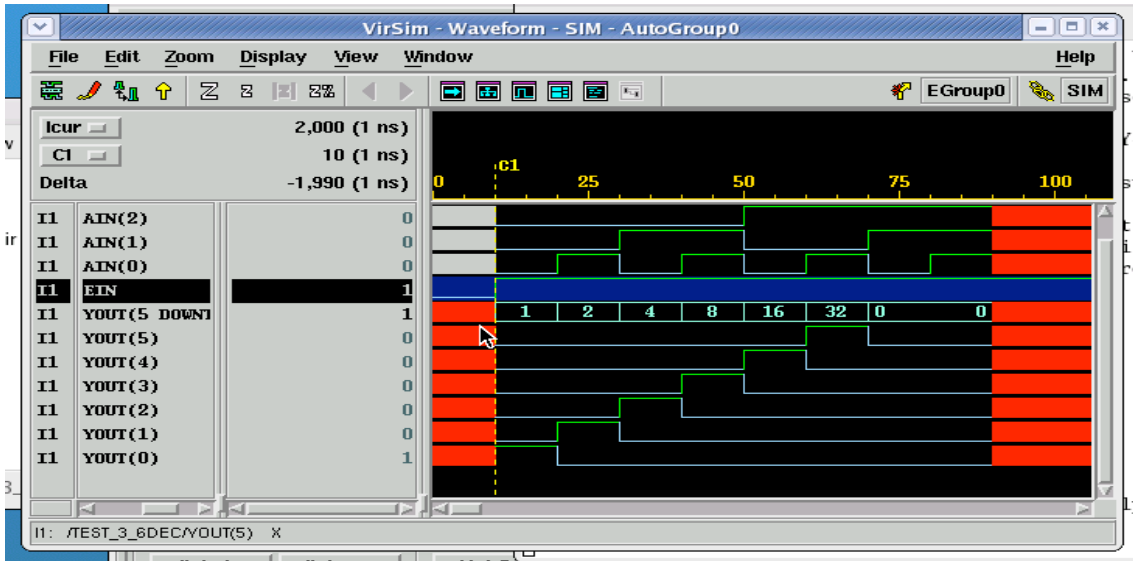
### 3\_6dec.vhd

```
library IEEE;
use IEEE.STD_LOGIC_1164.all, IEEE.NUMERIC_STD.all;

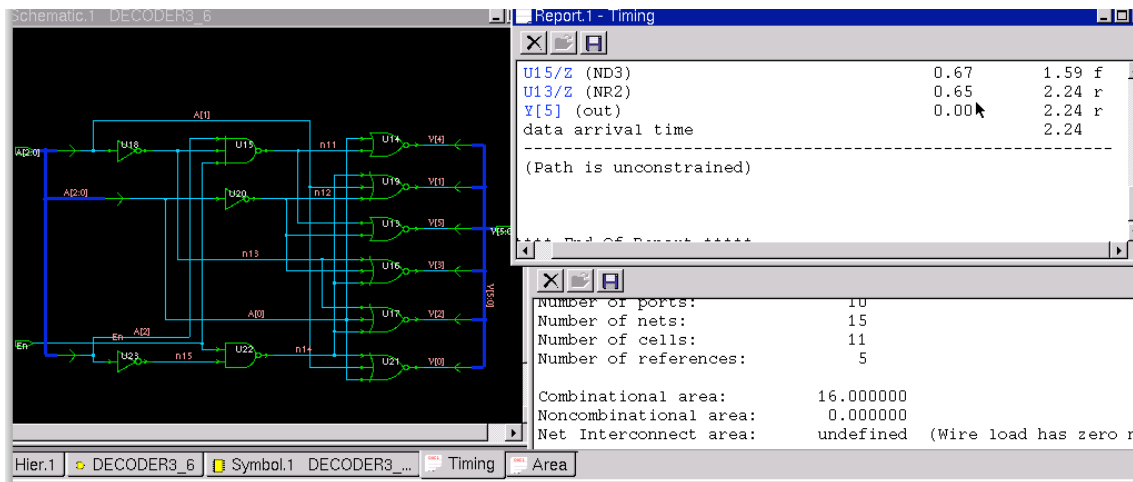
entity DECODER3_6 is
    port ( En      : in  std_logic;
          A       : in  std_logic_vector(2 downto 0);
          Y       : out std_logic_vector(5 downto 0));
end entity DECODER3_6;

architecture COND_DATA_FLOW of DECODER3_6 is
    signal INDATA : std_logic_vector(2 downto 0);
    signal OUTDATA : std_logic_vector(5 downto 0);

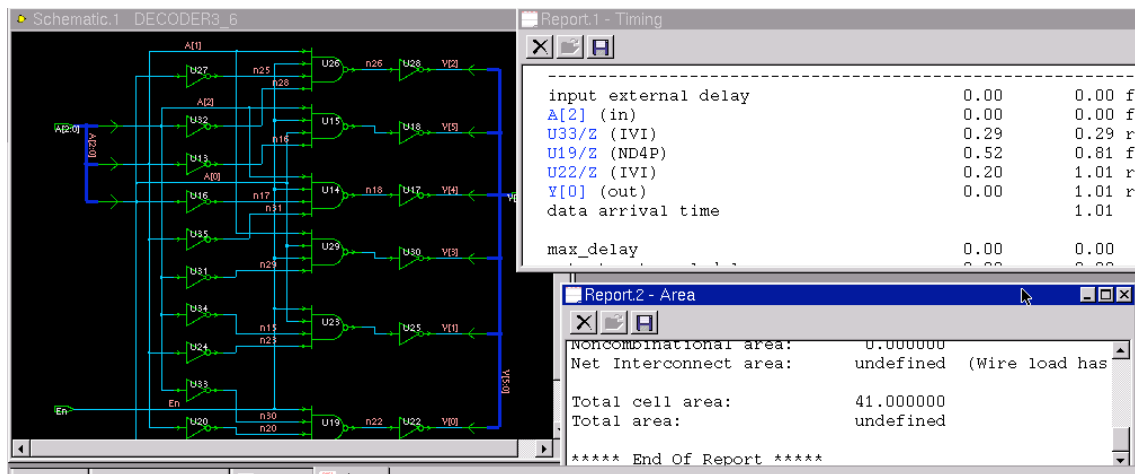
begin
    INDATA <= A;
    Y <= OUTDATA;
    process(INDATA)begin
        if(En='0')then
            OUTDATA <= "000000";
        else
            case INDATA is
                when "000" => OUTDATA <= "000001";
                when "001" => OUTDATA <= "000010";
                when "010" => OUTDATA <= "000100";
                when "011" => OUTDATA <= "001000";
                when "100" => OUTDATA <= "010000";
                when "101" => OUTDATA <= "100000";
                when "110" => OUTDATA <= "000000";
                when "111" => OUTDATA <= "000000";
                when others => OUTDATA <= "XXXXXX";
            end case;
        end if;
    end process;
end architecture COND_DATA_FLOW;
```



図：正常波形



図：制約なし(面積、クリティカルパス遅延、クリティカスパスの入カピンと出カピン)  
面積 16,クリティカルパス遅延 2.24



図：制約あり(面積、クリティカルパス遅延、クリティカスパスの入カピンと出カピン)  
面積 41,クリティカルパス遅延 1.01