

## HW9

学籍番号:e075739A

名前:津波古正輝

提出日:2月12日(木)

1) 並列型物理アドレスキャッシュでは、ページ内オフセットを用いて、キャッシュのDATAとTAGを引く動作をするので、どのような条件が必要か?

DATAとTAGの大きさが同じということが条件

2) TLBの遅延時間が4ns, キャッシュのDATARAMの遅延が10ns、キャッシュのTAGRAMの遅延が5ns、比較回路が3ns, マルチプレクサは2nsの遅延をそれぞれもち、その他の遅延が無視できるとする。

直列型物理アドレスキャッシュで、仮想メモリアドレス入力から、キャッシュHITが判明して、キャッシュより必要なデータが出るまでの遅延時間はいくらか?

並列型物理アドレスキャッシュではどうか?

直列型物理アドレスキャッシュ

$$4+3=7$$

$$4+5+3=12$$

$$4+10+2=16$$

$$4+2=6$$

並列型物理アドレスキャッシュ

$$4+3=7$$

$$5+3=8$$

$$10+2=12$$

$$2$$

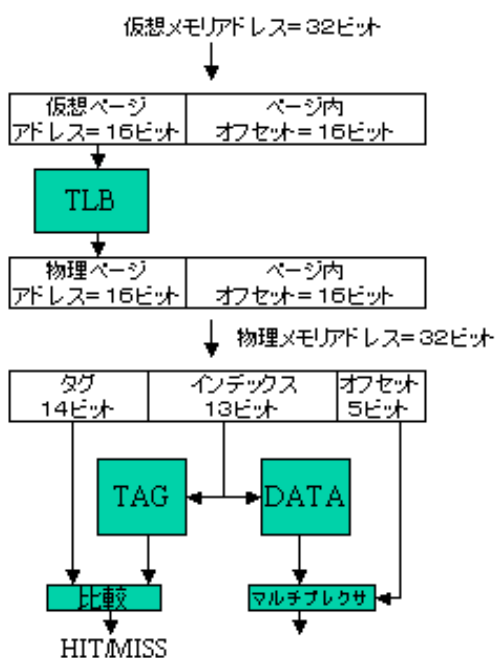
より、直列型物理アドレスキャッシュの遅延時間は16ns

並列型物理アドレスキャッシュの遅延時間は12ns

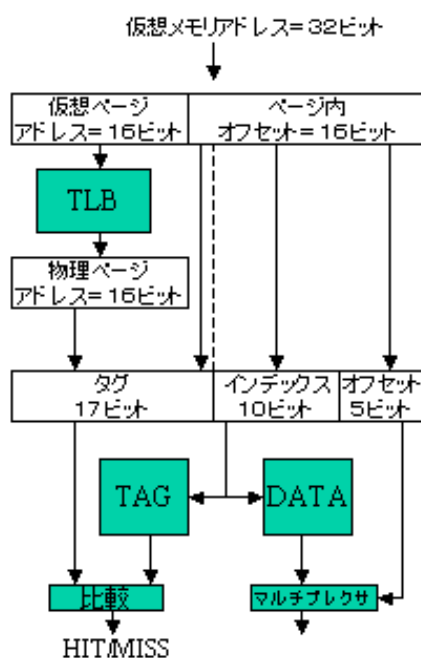
3) 128Kバイトのダイレクトマップキャッシュのタグ部分がちょうど、仮想アドレスページになるメモリアクセス機構を考える。

ラインサイズ=32バイトとして、以下の図のメモリアクセス機構の図を各フィールドのビット数を明示して作成せよ。仮想/物理ともアドレス空間は32ビットとする。

### 直列型物理アドレスキャッシュ



### 並列型物理アドレスキャッシュ



$$128\text{KByte} = 32\text{Byte} \times 4\text{K}$$

より、インデックスビット =  $2^{12} = 12$  ビット

オフセットビット =  $2^7 = 7$  ビット

タグビット =  $32 - (12 + 7) = 13$  ビット

よって、

仮想アドレス = 13 ビット

物理アドレス = 19 ビット