CAD ミニテスト　　2009/12/23

以下の VHDL コードから生成される回路図を作成せよ。

作成にあたっては、マルチプレクサ、D-FF、多ビット加算器、論理ゲートなどの部品を用いてよい。面倒な組み合わせ回路は詳細に設計する必要なく、単に組み合わせ回路と分かればよい。

（１）

```
    process ( CLK , RESET) begin
      if (RESET = '1') then
            HEAD(0) <= '0';
            HEAD(1) <= '0';
            HEAD(2) <= '0';
            HEAD(3) <= '0';
            HEAD(4) <= '0';
      elsif ( EN = '1' and CLK'event and CLK = '1' ) then
              HEAD(0) <= S3HEAD;
              HEAD(1) <= HEAD(0);
              HEAD(2) <= HEAD(1);
              HEAD(3) <= HEAD(2);
              HEAD(4) <= HEAD(3);
      end if;
  end process;

    S3OUTHEAD <= HEAD(4);
```

（２）

```
process ( CLK, RESET ) begin
if (RESET = '1') then
    COUNT <= "000000";
elsif ( EN = '1' and CLK'event and CLK = '1' ) then
    if (S3HEAD = '1') then
        COUNT <= "000000";
    else
        COUNT <= unsigned(COUNT) + '1';
    end if;
end if;
end process;
```

（3）

```
DATA_GEN: process(state)
begin
    case state is
        when "000" => data <= "000";
        when "001" => data <= "001";
        when "010" => data <= "010";
        when "011" => data <= "011";
        when "100" => data <= "100";
        when "101" => data <= "101";
        when "110" => data <= "110";
        when "111" => data <= "111";
        when others=> data <= "XXX";
    end case;
end process DATA_GEN;
```

（4）

```
PN_GEN: process(CLK,RESET)
begin
    if (RESET='1') then
        pn1 <= (others => '1');
    elsif rising_edge(CLK) then
        pn1(6 downto 1) <= pn1(5 downto 0);
        pn1(0) <= pn1(6) xor pn1(2);
    end if;
end process PN_GEN;
```