

問題は5問、解答は解答用紙に記入すること。

教科書・ノート持ち込み可能、PC持ち込み不可。

1) (3点×8=24点) 以下の機械語プログラムの最適化に関する下記文章の穴埋めを行え。

マイクロプロセッサを効率的に動作させるために、あらかじめ機械語プログラムをコンパイラにより最適化することを(①)と呼び、一例として以下のCプログラムAを普通にコンパイルしたアセンブリプログラムBを、アセンブリプログラムCに示すように小さなループを何周かまとめた。これにより、実行される分岐命令数の回数が、(②)回から(③)回に減少し、(④)ハザードの回数が減少する。このような最適方法を(⑤)と呼ぶ。結果的に、アセンブリプログラムBのすべての命令を実行するのに必要な命令数は(⑥)命令だったが、アセンブリプログラムCでは、すべての命令を実行するのに必要な命令数は(⑦)命令となり、(⑥)／(⑦)=(⑧)倍の性能向上を期待できる。

```
// CプログラムA
for (i=0 ; i < 100 ; i++) a[i] = a[i]+5;
```

```
// アセンブリプログラムB
    addi r1, r0, 0
    addi r2, r0, 100
ForLoop: lw r4, 0(r3)
    addi r4, 5, r4
    sw r4, 0(r3)
    addi r1, r1, 1
    addi r3, r3, 4
    blt r1, r2, ForLoop
```

```
// アセンブリプログラムC
    addi r1, r0, 0
    addi r2, r0, 100
ForLoop: lw r4, 0(r3)
    lw r5, 4(r3)
    lw r6, 8(r3)
    lw r7, 12(r3)
    addi r4, 5, r4
    addi r5, 5, r5
    addi r6, 6, r6
    addi r7, 5, r7
    sw r4, 0(r3)
    sw r5, 4(r3)
    sw r6, 8(r3)
    sw r7, 12(r3)
    addi r1, r1, 4
    addi r3, r3, 16
    blt r1, r2, ForLoop
```

2) (6点×2=12点)

全命令でロード・ストア命令の占める割合が15%とし、キャッシュミス率とミスペナルティが以下の時、事例1のキャッシュミス率0の場合と比較して、事例2と3の実行時間の相対比はいくらか？ただし、命令フェッチでのキャッシュミスは無視できるとする。

事例	ミス率	ミスペナルティ	実行時間相対値
事例1	0	-	1.0
事例2	0.10	25	①
事例3	0.20	15	②

3) (9点) 以下の各問いに答えよ。

3-1) (3点) 複数のプロセスを時間で切り替えて実行するコンピュータシステムの場合、現在実行中のプログラムは実行途中で中断される必要がある。このためには割り込みと呼ばれる例外処理が必要となるが、このプロセスの切り替え(プロセススイッチ)を要求するものは具体的には何か？

3-2) (6点) PCを使用中に、電源が低下した時に、実行中のプログラムが自動的に停止した。ある学生Aさんは、OSは定期的に、電源レベルを調査するようなプログラムを走らせていると考えたが、別の学生Bは、定期的にCPUが周辺装置を見張るのは効率が悪いと考えた。このようなCPUが定期的に周辺装置を見回る方式の名称をなんというか？定期的な見回りをすることなく、上記の自動停止を実現するにはどうすればよいか？

4) (25点) 仮想メモリアドレス空間が36ビット、物理メモリアドレス空間が32ビットのコンピュータに対して、以下の図で示す直列型物理アドレスキャッシュと並列型物理アドレスキャッシュを設計して性能を比較する。以下の問いに答えよ。

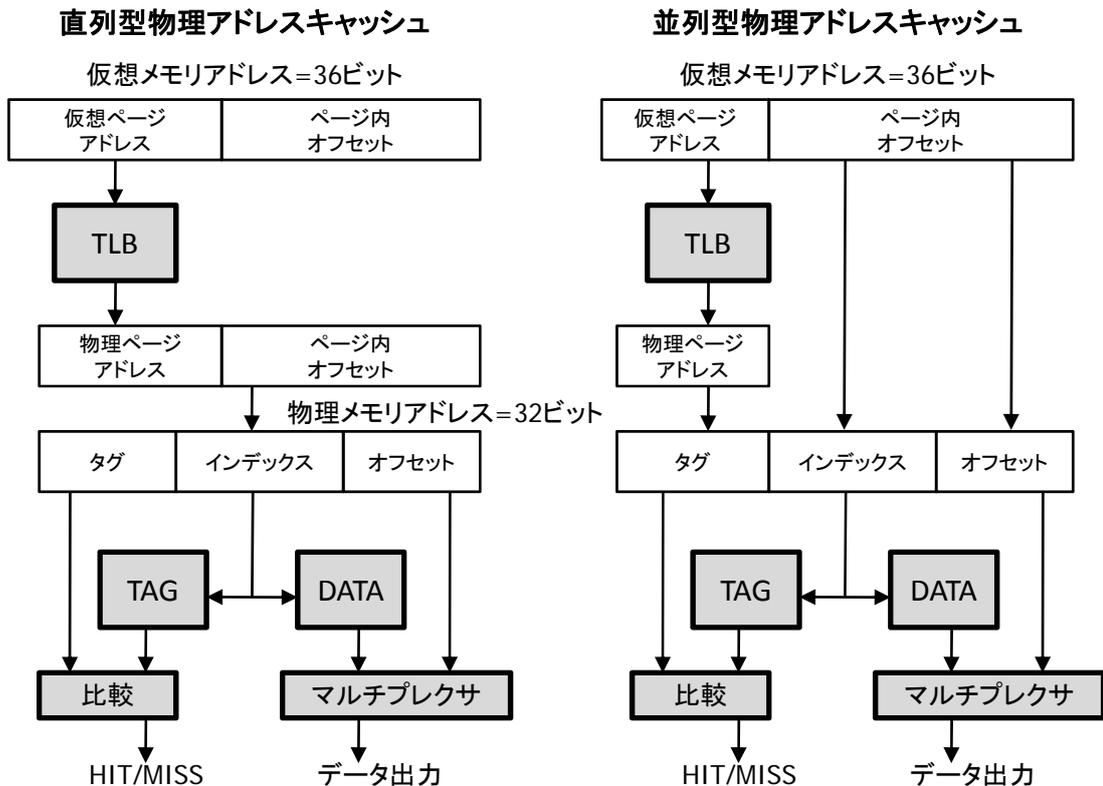
4-1) (9点) キャッシュはデータ部の容量が1MByteのダイレクトマップ型キャッシュで、ブロック(ライン)サイズは64Byteとすると、タグ、インデックス、オフセットのビット数はいくらか？

4-2) (4点) このキャッシュメモリのTAG部のメモリ容量はいくらか？ ただし、各キャッシュブロック(ライン)に1ビットのVALIDビットがあるとすると。

4-3) (6点) キャッシュを構成する回路ブロックが以下の遅延時間をもつとして、直列型物理アドレスキャッシュと並列型物理アドレスキャッシュの最悪の動作速度はいくらか？最悪とは、仮想メモリアドレスが与えられてから、HIT/MISSが決まる時間とデータ出力する時間の遅い方とする。

TLB=10ns, TAGメモリ=12ns, 比較回路=2ns, DATAメモリ=15ns, マルチプレクサ=1ns, その他の部分の遅延は無視する。

4-4) (6点) 上記キャッシュを用いて最小のページサイズをもつ並列物理アドレスキャッシュを構成するときのページサイズはいくらか？また、その時の仮想ページアドレスは何ビットか？



5) (5点×6=30点) 以下の各問いに答えよ。

5-1) VLIWとスーパースカラーマシンを、透過性・互換性の観点で比較し、理由を述べよ。

5-2) ソフトウェアパイプラインングという手法について、特徴を説明せよ。

5-3) 仮想ページアドレスを物理ページアドレスに変換するページテーブルの読み出しを高速化するために、TLBという特別なハードウェアが用いられているが、そのページテーブル自体はどこに保存されているか？

5-4) 仮想記憶方式のメリットを述べよ。

5-5) ダイレクトメモリアクセスDMAはデータ転送専用のハードウェアであるが、DMAを使用するメリットはなにか？

5-6) ハードディスクのマニュアルを読むと平均シーク時間という言葉があった。平均シーク時間とは何に要する時間か？