

学振165委員会@沖縄

「琉球大学SOC教育」

99/10/30

琉球大学 工学部 情報工学科

和田 知久

wada@ie.u-ryukyu.ac.jp

<http://bw-www.ie.u-ryukyu.ac.jp/~wada/>

アウトライン

- 琉大におけるSOC教育カリキュラム
- H11年度シノプシスデザインコンテスト
- 今後の取り組み

SOC関係教官

■ 本学

名嘉村 盛和 助教授

吉田 たけお 助手

和田 知久 助教授

■ 他大学ながら強い関係をもっている

白川 功 阪大教授

尾知 博 九州工大教授

谷口 研二 阪大教授

尾上 孝雄 京大助教授

カリキュラム

■ 2年生

前期 「デジタル回路」 組合せ/順序回路

後期 「デジタルシステム設計」 CPU機能/論理設計

「CAD」 VHDLによるシステム設計と検証

8ビットCPU(H9)

RSA暗号器(H10)

RS-CODEC(H11)

■ 3年生

通年 「情報工学実験」 VHDL設計とFPGAによる実現

HDL デザインツール

■ 構文チェック & シミュレーション

VHDL & Verilog: VSS (Synopsys), Vhdlan

VHDL: V-System, PeakVHDL

SFL: Parthenon, seconds

■ 論理合成

VHDL & Verilog: Design Compiler (Synopsys)

VHDL: Compass, PeakFPGA

SFL: Parthenon, opt_map

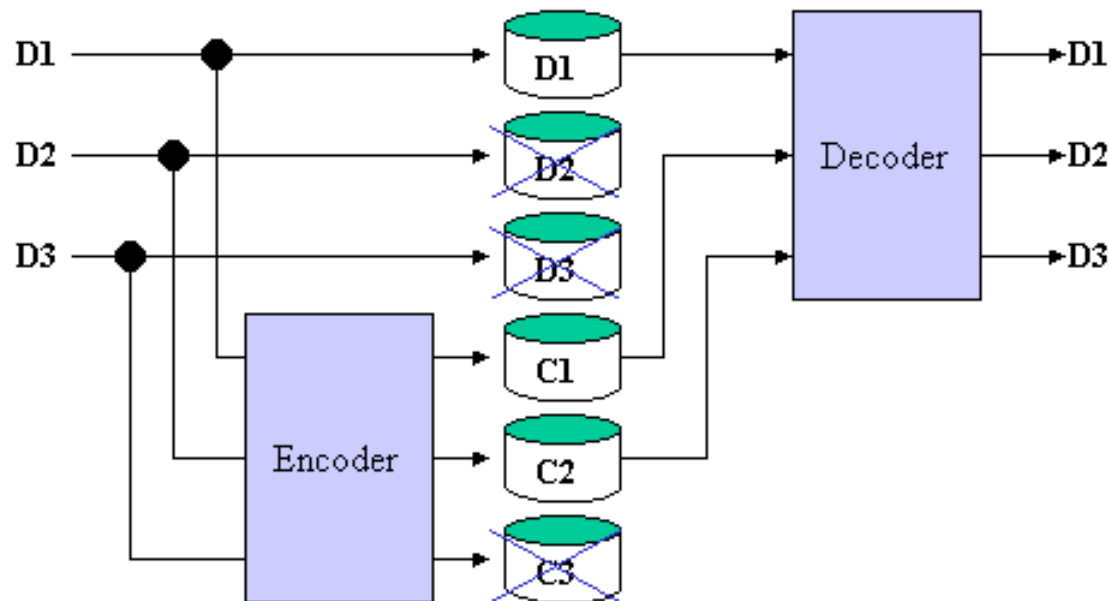
■ FPGA

XACT Step (Xilinx)

MAX+PLUSII (Altera)

H11 デザインコンテスト課題

- RAID(Redundant Array of Inexpensive Disks)のリードソロモンCODEC



CODECの計算式

- Vandermonde行列
- ガロア体演算

$$\text{ENCODER} \quad \begin{bmatrix} c1 \\ c2 \\ c3 \end{bmatrix} = \begin{bmatrix} 1^0 & 2^0 & 3^0 \\ 1^1 & 2^1 & 3^1 \\ 1^2 & 2^2 & 3^2 \end{bmatrix} \begin{bmatrix} d1 \\ d2 \\ d3 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 1 & 2 & 3 \\ 1 & 4 & 5 \end{bmatrix} \begin{bmatrix} d1 \\ d2 \\ d3 \end{bmatrix} \quad \dots \quad (1)$$

$$\text{DECODER} \quad \begin{bmatrix} d1 \\ d2 \\ d3 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 2 & 3 & 1 \\ 3 & 2 & 1 \end{bmatrix} \begin{bmatrix} d1 \\ c1 \\ c2 \end{bmatrix} \quad \dots \quad (2)$$

ガロア体演算 $GF(2^W)$

■ 加算と減算は単純でXORとなる。 $W=4$ の場合、 以下のようになる。

$$11 + 7 = 1011 \oplus 0111 = 1100 = 12$$

$$11 - 7 = 1011 \oplus 0111 = 1100 = 12$$

■ 掛算と割算はもっと複雑であり、 2つのlogarithmテーブルを用いて計算される。 ($W=4$)

$$3 * 7 = \text{gfilog}[\text{gflog}[3] + \text{gflog}[7]] = \text{gfilog}[4 + 10] = \text{gfilog}[14] = 9$$

$$13 * 10 = \text{gfilog}[\text{gflog}[13] + \text{gflog}[10]] = \text{gfilog}[13 + 9] = \text{gfilog}[7] = 11$$

$$13 / 10 = \text{gfilog}[\text{gflog}[13] - \text{gflog}[10]] = \text{gfilog}[13 - 9] = \text{gfilog}[4] = 3$$

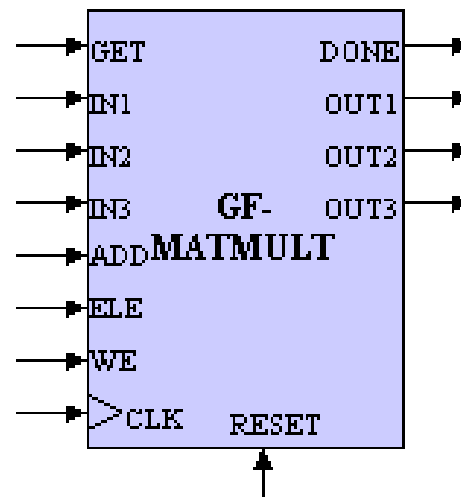
$$3 / 7 = \text{gfilog}[\text{gflog}[3] - \text{gflog}[7]] = \text{gfilog}[4 - 10] = \text{gfilog}[9] = 14$$

*logarithm*テーブル

<i>i</i>	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
<i>gflog[l]</i>	-	0	1	4	2	8	5	10	3	14	9	7	6	13	11	12
<i>Gflog[l]</i>	1	2	4	8	3	6	12	11	5	10	7	14	15	13	9	-

外部仕様

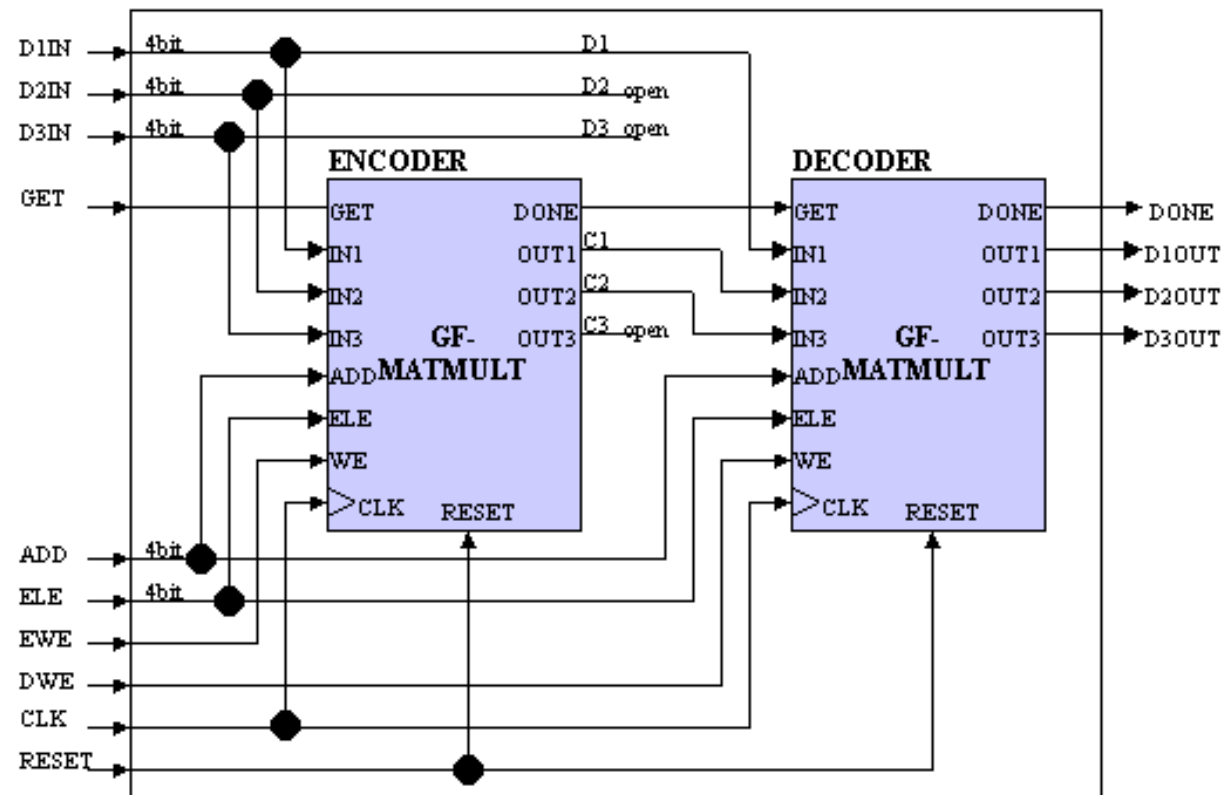
■ 任意の行列要素に対して、ガロア行列乗算



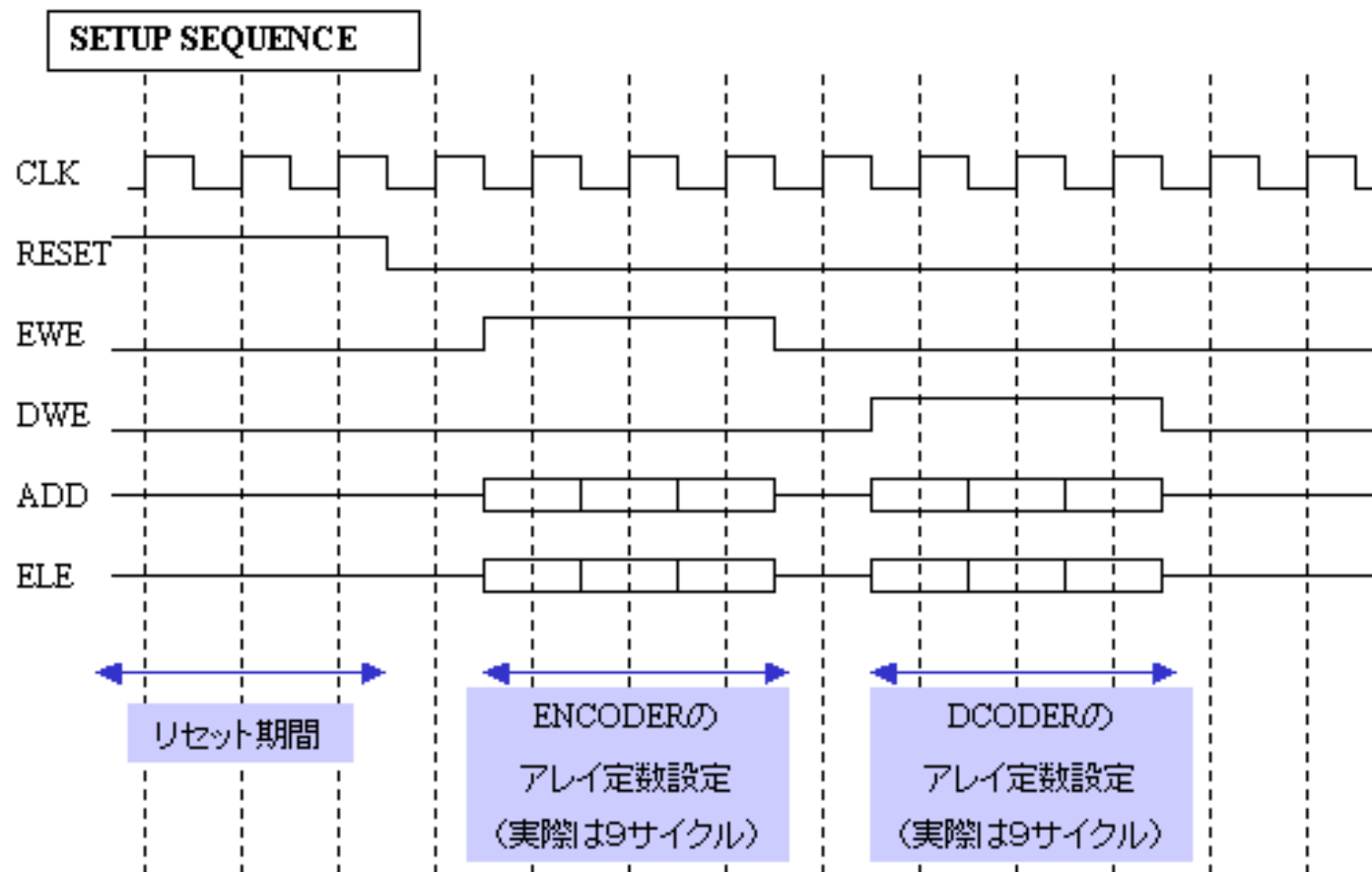
$$\begin{bmatrix} OUT1 \\ OUT2 \\ OUT3 \end{bmatrix} = \begin{bmatrix} ELE[Add = 0] & ELE[Add = 1] & ELE[Add = 2] \\ ELE[Add = 3] & ELE[Add = 4] & ELE[Add = 5] \\ ELE[Add = 6] & ELE[Add = 7] & ELE[Add = 8] \end{bmatrix} \begin{bmatrix} IN1 \\ IN2 \\ IN3 \end{bmatrix}$$

システムモデル

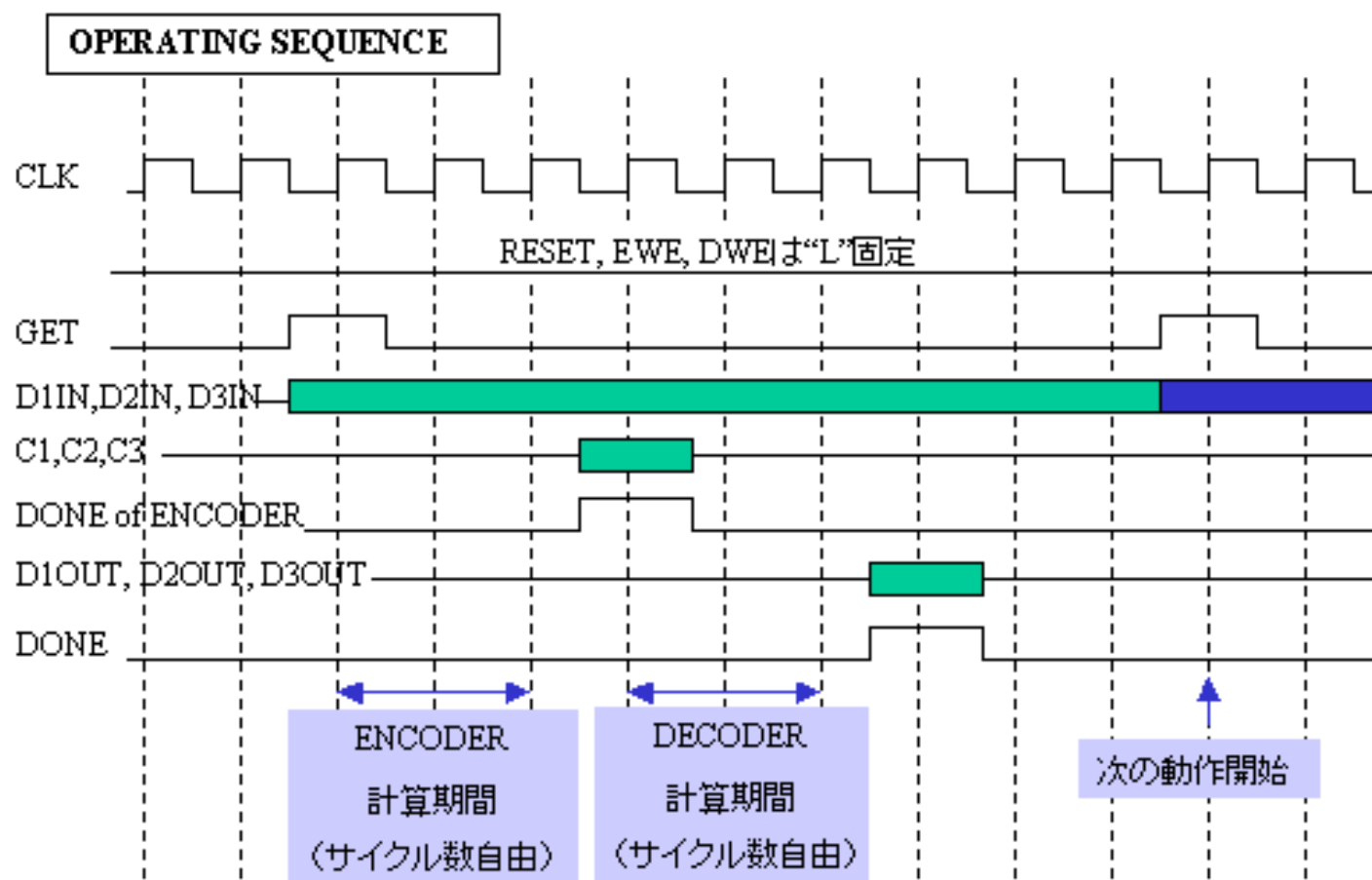
ENCODERとDECODERにガロア行列乗算器を用いる。



セットアップシーケンス



動作シーケンス



シノプシスデザインコンテスト



- オープンなコンテスト！
- 参加申し込み： 12月末
- 締め切り： 2月18日
- 発表会： 3月3日

詳しくは

<http://bw-www.ie.u-ryukyu.ac.jp/~wada/design/contest99.html>

今後の取り組み

- 沖縄でのLSI関連人口の育成
 - 研究会を沖縄で！(ICD,デザインガイア)
- 琉大でのLSI関連教育の充実
 - 将来的にチップ設計を！
 - 講義の充実化！
- 韓国 九州 沖縄、台湾 シンガポールの「Silicon-Sea-Belt」の形成！

今後ともよろしく、ご協力ください！